

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-024606

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

G09F 9/30

G09G 3/30

H05B 33/26

(21)Application number : 09-177455

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 02.07.1997

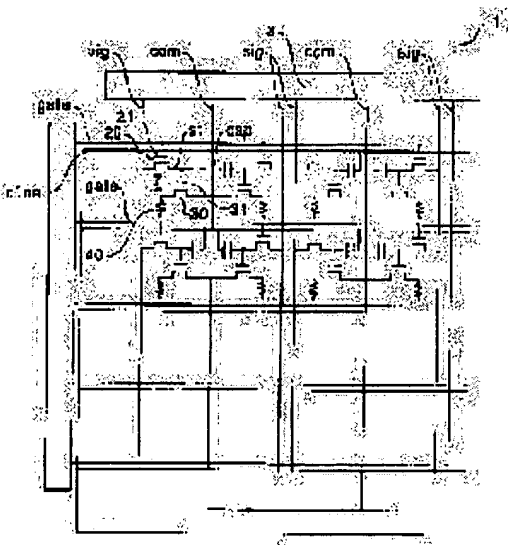
(72)Inventor : OZAWA NORIO

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a layout of picture elements composed on a substrate and a common feeder and to extend a luminescent field of the picture elements, and to thereby improve a display quality, by arranging on both sides of the common feeder, the picture elements to which a driving current is turned on from the common feeder, and also by passing data lines on the opposite side of the common feeder.

SOLUTION: Plural picture elements 7, to which a driving current is supplied from a common feeder com, are installed on both sides of the common feeder com, and two data lines sig are passed on the opposite side of the common feeder com against these picture elements 7. Namely, a data line sig, a group of picture elements connected therewith, one common feeder com, a group of picture elements connected therewith, and a data line sig supplying signals of picture elements to the group of picture elements, are regarded as a single unit, and are installed repeatedly in its elongating direction of a scanning line gate, and also one common feeder com supplies a driving current to picture elements 7 in two rows, respectively. Therefore, the number of common feeders can be saved to a half, compared with the case that a common feeder is formed per every group of picture elements in one row.



LEGAL STATUS

[Date of request for examination]

28.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On a substrate, there are two or more scanning lines. Two or more data lines are installed in the direction which crosses to the installation direction of this scanning line. Two or more common feeders are arranged in parallel in this data line. The 1st thin film transistor which has a pixel formed in the shape of a matrix by said data line and said scanning line and by which a scan signal is supplied to each of this pixel through said scanning line at the 1st gate electrode. Retention volume holding a picture signal supplied from said data line through this 1st thin film transistor. The 2nd thin film transistor by which said picture signal held with this retention volume is supplied to the 2nd gate electrode. In between layers of a pixel electrode formed for said every pixel, and a counterelectrode which counters this pixel electrode. A light emitting device possessing an organic-semiconductor film which emits light according to drive current which flows between said pixel electrodes and said counterelectrodes when said pixel electrode connects with said common feeder electrically through said 2nd thin-film transistor. It is the display equipped with the above, and a pixel to which energization of said drive current is performed between these common feeders is arranged, and said common feeder is characterized by said data line running along the opposite side to this pixel at both sides of said common feeder.

[Claim 2] It is the display characterized by arranging said 1st thin film transistor, said 2nd thin film transistor, and said light emitting device centering on the common feeder concerned at axial symmetry between two pixels arranged in claim 1 so that it may face across said common feeder.

[Claim 3] A display with which a pitch of a center of a formation field of said organic-semiconductor film is characterized by equal thing in claims 1 or 2 between [any] pixels which adjoin along the installation direction of said scanning line.

[Claim 4] It is the display characterized by being constituted so that this bank layer may cover said data line and said common feeder with the same width-of-face size, while being surrounded in a bank layer which a formation field of said organic-semiconductor film becomes from an insulator layer thicker than said organic-semiconductor film in claim 2.

[Claim 5] It is the display characterized by for said organic-semiconductor film being a film formed in a field surrounded in said bank layer by the ink jet method in claim 4, and said bank layer being a film for preventing a flash of said organic-semiconductor film in case said organic-semiconductor film is formed by the ink jet method.

[Claim 6] A display characterized by forming a wiring layer in a location which corresponds between the two data lines which pass along the opposite side with said common feeder to said pixel in claim 1 thru/or either of 5.

[Claim 7] A display characterized by being constituted in claim 6 between the two data lines which adjoin among said two or more data lines so that a sampling of a picture signal may be performed to the same timing.

[Claim 8] A display characterized by containing two kinds of pixels by which a drive of said light emitting device is performed to two or more pixels to which energization of said drive current is performed between said same common feeders according to drive current which polarity reversed in claim 1.

[Claim 9] A display characterized by the polarity of drive current [in / in the installation direction of said data line, the polarity of drive current in each pixel is the same, and / each pixel] being reversed for every pixel in the installation direction of said scanning line in claim 8.

[Claim 10] A display characterized by the polarity of drive current [in / in the installation direction of said data line, the polarity of drive current in each pixel is the same, and / each pixel] being reversed every 2 pixels in the installation direction of said scanning line in claim 8.

[Claim 11] A display characterized by the polarity of drive current [in / in the installation direction of said scanning line, the polarity of drive current in each pixel is the same, and / each pixel] being reversed for every pixel in the installation direction of said data line in claim 8.

[Claim 12] A display characterized by the polarity of drive current [in / in the installation direction of said scanning

http://www4.ipdl.jpo.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.jpo.go.jp%2FTokuj... 1/21/2004

line, the polarity of drive current in each pixel is the same, and / each pixel] being reversed every 2 pixels in the installation direction of said data line in claim 8.

[Claim 13] A display characterized by the polarity of drive current in each pixel being reversed for every pixel in claim 8 in any direction of the installation direction of said scanning line, and the installation direction of said data line.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the display of the active-matrix mold using light emitting devices, such as EL (electroluminescence) element which emits light when drive current flows an organic-semiconductor film, or an LED (light emitting diode) element, and the thin film transistor (henceforth TFT) which controls luminescence actuation of this light emitting device. It is related with the optimization technology of the layout for improving the display property in more detail.

[0002]

[Description of the Prior Art] The display of the active-matrix mold using current control mold light emitting devices, such as an EL element or an LED element, is proposed. In order that each light emitting device used for this type of indicating equipment may carry out self-luminescence, unlike a liquid crystal display, it does not need a back light, and also has an advantage, like there are few angle-of-visibility dependencies.

[0003] Drawing 22 has shown the block diagram of the active-matrix mold indicating equipment which used the organic thin film EL element of a charge impregnation mold as an example of such an indicating equipment. The pixel 7 corresponding to the crossing of two or more data lines sig installed in the direction which crosses on a transparence substrate to the installation direction of two or more scanning lines gate and these scanning lines gate, two or more common feeders com and the data line sig which are arranged in parallel in these data lines sig, and the scanning line gate consists of display 1A shown in this drawing. To the data line sig, the shift register, the level shifter, the video line, and the data side drive circuit 3 equipped with an analog switch are constituted. To the scanning line, the scan side drive circuit 4 equipped with a shift register and a level shifter is constituted. Moreover, 1st TFT20 by which a scan signal is supplied to each of a pixel 7 through the scanning line at a gate electrode, The retention volume cap holding the picture signal supplied from the data line sig through this 1st TFT20, When the picture signal held with this retention volume cap connects with the common feeder com electrically through 2nd TFT30 supplied to a gate electrode, and 2nd TFT30, the light emitting device 40 into which drive current flows consists of common feeders com.

[0004] Namely, as shown in drawing 23 (A) and (B), it also sets to which pixel 7. The 1st TFT20 and 2nd TFT30 are formed using two island-like semiconductor films. In the source drain field of 2nd TFT30 The junction electrode 35 connected electrically through the contact hole of the 1st interlayer insulation film 51, and the pixel electrode 41 has connected with this junction electrode 35 electrically through the contact hole of the 2nd interlayer insulation film 52. The laminating of the hole-injection layer 42, the organic-semiconductor film 43, and the counterelectrode op is carried out to the upper layer side of this pixel electrode 41. Here, Counterelectrode op is formed over two or more pixels 7 ranging over the data line sig etc. In addition, the common feeder com has connected with the source drain field of 2nd TFT30 electrically through a contact hole.

[0005] On the other hand, in 1st TFT20, the potential maintenance electrode st electrically connected to the source drain field is electrically connected to the installation portion 310 of the gate electrode 31. To this installation portion 310, the semiconductor film 400 counters that lower layer side through the gate insulator layer 50, and since this semiconductor film 400 is electric-conduction-ized with the impurity introduced into it, it constitutes retention volume cap with the installation portion 310 and the gate insulator layer 50. Here, to the semiconductor film 400, the common feeder com has connected electrically through the contact hole of the 1st interlayer insulation film 51. Therefore, since retention volume cap holds the picture signal supplied from the data line sig through 1st TFT20, even if 1st TFT20 becomes off, the gate electrode 31 of 2nd TFT30 is held at the potential equivalent to a picture signal. So, since drive current continues flowing from the common feeder com to a light emitting device 40, a light emitting device 40 will continue emitting light.

[0006]

[Problem(s) to be Solved by the Invention] However, in the aforementioned display 1A, as compared with a liquid crystal display, since the part which needs the 2nd TFT30 and common feeder com, and the pixel 7 are narrow, there is a trouble that grace of a display cannot be raised.

[0007] Then, the technical problem of this invention improves the layout of the pixel and common feeder which are constituted on a substrate, extends the luminescence field of a pixel, and is to offer the display which can raise the grace of a display.

[0008]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, in this invention, on a substrate Two or more scanning lines, Two or more data lines installed in the direction which crosses to the installation direction of this scanning line, It has a pixel formed in the shape of a matrix by two or more common feeders arranged in parallel in this data line, and said data line and said scanning line. To each of this pixel The 1st thin film transistor by which a scan signal is supplied to the 1st gate electrode through said scanning line, Retention volume holding a picture signal supplied from said data line through this 1st thin film transistor, The 2nd thin film transistor by which said picture signal held with this retention volume is supplied to the 2nd gate electrode, In between layers of a pixel electrode formed for said every pixel, and a counterelectrode corresponding to this pixel electrode In a display which has a light emitting device possessing an organic-semiconductor film which emits light according to drive current which flows between said pixel electrodes and said counterelectrodes when said pixel electrode connects with said common feeder electrically through said 2nd thin-film transistor on both sides of said common feeder A pixel to which energization of said drive current is performed between these common feeders is arranged, and said common feeder is characterized by said data line running along the opposite side to this pixel.

[0009] That is, in this invention, since it is repeated for the data line which supplies a pixel signal to a pixel group linked to the data line, a pixel group linked to it, one common feeder, and it, and this pixel group in the installation direction of the scanning line as one unit, a pixel for two trains is driven in one common feeder. Therefore, since a formation field of a common feeder can be narrowed as compared with a case where a common feeder is formed for every pixel group of one train, a luminescence field which are the part and a pixel is extensible. Therefore, display engine performance, such as brightness and a contrast ratio, can be raised.

[0010] Thus, in constituting, between two pixels arranged, for example so that it may face across said common feeder, it is desirable to arrange said 1st thin film transistor, said 2nd thin film transistor, and said light emitting device to axial symmetry centering on the common feeder concerned.

[0011] In this invention, it is desirable that a pitch of a center of a formation field of said organic-semiconductor film is equal between [any] pixels which adjoin along the installation direction of said scanning line. Thus, when constituted, it is convenient for breathing out a material of an organic-semiconductor film from an ink jet arm head, and forming an organic-semiconductor film. Namely, what is necessary is just to breathe out a material of an organic-semiconductor film at equal intervals from an ink jet arm head, since the pitch of a center of a formation field of an organic-semiconductor film is equal. Thereby, while a migration controlling mechanism of an ink jet arm head becomes simple, location precision also improves.

[0012] Moreover, as for this bank layer, it is desirable [a field] to be constituted so that said data line and said common feeder may be covered with the same width-of-face size while a formation field of said organic-semiconductor film is surrounded in a bank layer which consists of an insulator layer thicker than said organic-semiconductor film. Thus, since a bank layer will prevent that an organic-semiconductor film overflows into the perimeter in case an organic-semiconductor film is formed by the ink jet method if constituted, an organic-semiconductor film can be formed in a predetermined field. Moreover, this bank layer is suitable for a pitch of a center of a formation field of an organic-semiconductor film making equal said data line and said common feeder between [any] pixels which adjoin along the installation direction of the scanning line for a wrap reason with the same width-of-face size. Here, a counterelectrode is formed over a field almost large the whole surface or in the shape of a stripe on a pixel field at least, and is in the condition of countering with the data line. Therefore, the way things stand, a big capacity will be parasitic to the data line. However, in this invention, since a bank layer intervenes between the data line and a counterelectrode, it can prevent that capacity formed between counterelectrodes is parasitic on the data line. Consequently, since a load of a data side drive circuit can be reduced, low-power-izing or improvement in the speed of a display action can be attained.

[0013] In this invention, it is desirable that a wiring layer is formed in a location which corresponds to said pixel between the two data lines which pass along the opposite side with said common feeder. When the two data lines stand in a row, there is a possibility that a cross talk may occur among these data lines. However, since a wiring layer different from them passes by this invention between the two data lines, an image only makes such a wiring layer fixed potential

within 1 horizontal-scanning period at least, and the above-mentioned cross talk can be prevented.

[0014] In this case, between the two data lines which adjoin among said two or more data lines, it is desirable to sample a picture signal to the same timing. Thus, if constituted, since potential change at the time of a sampling will take place to coincidence between the two data lines, it can prevent more certainly that a cross talk occurs among these data lines.

[0015] two kinds of pixels by which a drive of said light emitting device is performed to two or more pixels to which energization of said drive current is performed between said same common feeders in this invention according to drive current which polarity reversed -- almost -- ***** rare ***** -- things are desirable.

[0016] Thus, if constituted, drive current which flows from a common feeder to a pixel, and drive current which flows from a pixel to a common feeder are offset, and drive current which flows to a common feeder will be small, and will end. Therefore, since a common feeder can be made that much thin, a screen product to a panel appearance is extensible. Moreover, brightness unevenness produced according to a difference of drive current can be abolished.

[0017] For example, in the installation direction of said data line, the polarity of drive current in each pixel is the same, and it constitutes from an installation direction of said scanning line so that the polarity of drive current in each pixel may be reversed every [every pixel and] 2 pixels. Or in the installation direction of said scanning line, the polarity of drive current in each pixel is the same, and you may constitute from an installation direction of said data line so that the polarity of drive current in each pixel may be reversed every [every pixel and] 2 pixels. Since a counterelectrode can be carried out in common between adjoining pixels about a pixel to which the same polar drive current flows when it constitutes so that the polarity of drive current may be reversed every 2 pixels of these gestalten, the number of slits of a counterelectrode can be reduced. That is, polarity reversals can be realized, without making high resistance of a counterelectrode with which a high current flows.

[0018] Moreover, you may constitute from any direction of the installation direction of said scanning line, and the installation direction of said data line so that the polarity of drive current in each pixel may be reversed for every pixel.

[0019]

[Embodiment of the Invention] The gestalt of operation of this invention is explained with reference to a drawing.

[0020] [The gestalt 1 of operation]

(The whole active-matrix substrate configuration) The block diagram in which drawing 1 shows the layout of the whole indicating equipment typically, and drawing 2 are the representative circuit schematics of the active matrix constituted by it.

[0021] As shown in this drawing, let a part for the center section of that base slack transparence substrate 10 be a display 2 in the display 1 of this gestalt. The data side drive circuit 3 which outputs a picture signal to the both-ends side of the data line sig among the periphery portions of the transparence substrate 10, and the inspection circuit 5 are constituted, and the scan side drive circuit 4 which outputs a scan signal is constituted at the both-ends side of the scanning line gate. A complementary type TFT is constituted by TFT of N type, and TFT of P type, and this complementary type TFT constitutes the shift register, the level shifter, the analog switch, etc. from these drive circuits 3 and 4 by them. In addition, the pad 6 for mounting made into the terminal block for inputting a picture signal, and various kinds of potentials and a pulse signal is formed in the periphery field rather than the data side drive circuit 3 on the transparence substrate 10.

[0022] (Arrangement of a common feeder and a pixel) Two or more data lines sig installed in the direction which crosses on the transparence substrate 10 to the installation direction of two or more scanning lines gate and this scanning line gate like the active-matrix substrate of a liquid crystal display are constituted, and as shown in drawing 2, the pixel 7 formed in the shape of a matrix by these data lines sig and scanning lines gate consists of indicating equipments 1.

[0023] 1st TFT20 by which a scan signal is supplied to all of these pixels 7 through the scanning line gate at the gate electrode 21 (1st gate electrode) is constituted. It connected with the data line sig electrically, and one side of this source drain field of TFT20 has connected another side to the potential maintenance electrode st electrically. To the scanning line gate, the parallel arrangement of the capacity line cline is carried out, and retention volume cap is formed between this capacity line cline and the potential maintenance electrode st. Therefore, if it is chosen by the scan signal and 1st TFT20 is turned on, a picture signal will be written in retention volume cap through 1st TFT20 from the data line sig.

[0024] The gate electrode 31 (2nd gate electrode) of 2nd TFT30 has connected with the potential maintenance electrode st electrically. One side of this source drain field of TFT30 has connected another side to one electrode (pixel electrode mentioned later) of a light emitting device 40 electrically, while connecting with the common feeder com electrically. The common feeder com is held at constant potential. Therefore, when 2nd TFT30 is turned on, the current of the common feeder com flows to a light emitting device 40, and makes a light emitting device 40 emit light through this TFT.

[0025] Two or more pixels 7 by which supply of drive current is performed on both sides of the common feeder com

between these common feeders com are arranged, and, as for the common feeder com, the two data lines sig pass along the opposite side by this gestalt to these pixels 7. That is, it is repeated for the data line sig which supplies a pixel signal to the pixel group linked to the data line sig, the pixel group linked to it, one common feeder com, and it, and this pixel group in the installation direction of the scanning line gate as one unit, and the common feeder com supplies drive current to the pixel 7 for two trains by one. So, with this gestalt, between two pixels 7 arranged so that it may face across the common feeder com, 1st TFT20, 2nd TFT30, and a light emitting device 40 are arranged centering on the common feeder com concerned at axial symmetry, and have made the easy thing electric connection with these element and each wiring layer.

[0026] Thus, since the pixel for two trains is driven in one common feeder com, while the number of the common feeders com can be managed with this gestalt one half as compared with the case where the common feeder com is formed for every pixel group of one train, the crevice secured between the common feeders com and the data lines sig which are formed between the same layers is unnecessary. So, since the field for wiring can be narrowed on the transparence substrate 10, the rate of the luminescence area in the part and each pixel field can be raised, and display engine performance, such as brightness and a contrast ratio, can be raised.

[0027] In addition, it will write as the configuration which the pixel for two trains connects to one common feeder com in this way, there will be the two data lines sig at a time in the condition of standing in a row, and a picture signal will be supplied to the pixel group of each train.

[0028] (Configuration of a pixel) The structure of each pixel 7 of the display 1 constituted in this way is explained in full detail with reference to drawing 3 thru/or drawing 6 (A).

[0029] The plan which drawing 3 expands three pixels 7 in two or more pixels 7 currently formed in the display 1 of this gestalt, and is shown, drawing 4 , drawing 5 , and drawing 6 (A) are a cross section [in / in each / the A-A' line], a cross section in a B-B' line, and a cross section in a C-C' line.

[0030] First, in the location equivalent to the A-A' line in drawing 3 , as shown in drawing 4 , on the transparence substrate 10, the silicon film 200 of the shape of an island for forming 1st TFT20 in each of each pixel 7 is formed, and the gate insulator layer 50 is formed in the surface. Moreover, the gate electrode 21 (a part of scanning line gate) is formed in the surface of the gate insulator layer 50, and the source drain fields 22 and 23 are formed in self align to this gate electrode 21. The data line sig and the potential maintenance electrode st have connected with the source drain fields 22 and 23 electrically through the contact holes 61 and 62 which the 1st interlayer insulation film 51 was formed in the surface side of the gate insulator layer 50, and were formed in this interlayer insulation film, respectively.

[0031] The capacity line cline is formed between the same layers as the scanning line gate and the gate electrode 21 (between the gate insulator layer 50 and the 1st interlayer insulation film 51), and the installation portion st1 of the potential maintenance electrode st has lapped through the 1st interlayer insulation film 51 to this capacity line cline so that it may stand in a row with the scanning line gate in each pixel 7. For this reason, the capacity line cline and the installation portion st1 of the potential maintenance electrode st constitute the retention volume cap which uses the 1st interlayer insulation film 51 as a dielectric film. In addition, the 2nd interlayer insulation film 52 is formed in the potential maintenance electrode st and surface side of the data line sig.

[0032] In the location equivalent to the B-B' line in drawing 3 , as shown in drawing 5 , it is in the condition that the two data lines sig corresponding to each pixel 7 stand in a row on the surface of the 1st interlayer insulation film 51 formed on the transparence substrate 10, and the 2nd interlayer insulation film 52.

[0033] In the location equivalent to the C-C' line in drawing 3 , as shown in drawing 6 (A), on the transparence substrate 10, the silicon film 300 of the shape of an island for forming 2nd TFT30 so that two pixels 7 which face across the common feeder com may be straddled is formed, and the gate insulator layer 50 is formed in the surface. The gate electrode 31 is formed in each of each pixel 7, respectively, and the source drain fields 32 and 33 are formed in the surface of the gate insulator layer 50 in self align at this gate electrode 31 so that it may face across the common feeder com. The junction electrode 35 has connected with the source drain field 62 electrically through the contact hole 63 which the 1st interlayer insulation film 51 was formed in the surface side of the gate insulator layer 50, and was formed in this interlayer insulation film. On the other hand, to the portion which serves as the common source drain field 33 in two pixels 7 by part for the center section of the silicon film 300, the common feeder com has connected electrically through the contact hole 64 of the 1st interlayer insulation film 51. The 2nd interlayer insulation film 52 is formed in the surface side of these common feeders com and the junction electrode 35. The pixel electrode 41 which consists of an ITO film is formed in the surface side of the 2nd interlayer insulation film 52. It connected with the junction electrode 35 electrically through the contact hole 65 formed in the 2nd interlayer insulation film 52, and this pixel electrode 41 is electrically connected to the source drain field 32 of 2nd TFT30 through this junction electrode 35.

[0034] Here, the pixel electrode 41 constitutes one electrode of a light emitting device 40. That is, the laminating of the

hole-injection layer 42 and the organic-semiconductor film 43 is carried out to the surface of the pixel electrode 41, and the counterelectrode op which consists of metal membranes, such as lithium content aluminum and calcium, is further formed in the surface of the organic-semiconductor film 43. This counterelectrode op is a common electrode formed a pixel field top or in the shape of a stripe at least, and is held at fixed potential.

[0035] Thus, in the constituted light emitting device 40, as it considers as a positive electrode and a negative electrode, respectively, voltage is impressed and Counterelectrode op and the pixel electrode 41 are shown in drawing 7, the current (drive current) which flows on the organic-semiconductor film 43 in the field in which applied voltage exceeded threshold voltage increases rapidly. Consequently, a light emitting device 40 emits light as an electroluminescent element or an LED element, it is reflected by Counterelectrode op, and the light of a light emitting device 40 penetrates the transparent pixel electrode 41 and the transparence substrate 10, and outgoing radiation is carried out.

[0036] The drive current for performing such luminescence will not flow, if 2nd TFT30 is turned off in order to flow Counterelectrode op, the organic-semiconductor film 43, the hole-injection layer 42, the pixel electrode 41, 2nd TFT30, and the current path that consists of common feeders com. In the indicating equipment 1 of this gestalt, if it is chosen by the scan signal and 1st TFT20 is turned on, a picture signal will be written in retention volume cap through 1st TFT20 from the data line sig. Therefore, since the gate electrode of 2nd TFT30 is held at the potential which is equivalent to a picture signal with retention volume cap even if 1st TFT20 is turned off, 2nd TFT30 is still an ON state. So, drive current continues flowing to a light emitting device 40, and this pixel is still a lighting condition. It is written in retention volume cap, and image data with this new condition is maintained until 2nd TFT30 is turned off.

[0037] (The manufacture method of a display) In the manufacture method of the display 1 constituted in this way, since the production process until it manufactures the 1st TFT20 and 2nd TFT30 on the transparence substrate 10 is the same as that of the production process and abbreviation which manufacture the active-matrix substrate of a liquid crystal display 1, the outline is explained with reference to drawing 8.

[0038] Drawing 8 is the production process cross section showing typically the process which forms each component of a display 1.

[0039] That is, as shown in drawing 8 (A), the substrate protective coat (not shown) which thickness becomes from the silicon oxide which is about 2000-5000Å by the plasma-CVD method by making TEOS (tetra-ethoxy silane), oxygen gas, etc. into material gas is formed to the transparence substrate 10 if needed. Next, the temperature of a substrate is set as about 350 degrees C, and the semiconductor film 100 which thickness becomes from the amorphous silicon film which is about 300-700Å by the plasma-CVD method is formed in the surface of a substrate protective coat. Next, to the semiconductor film 100 which consists of an amorphous silicon film, crystallization production processes, such as laser annealing or a solid phase grown method, are performed, and the semiconductor film 100 is crystallized on a polish recon film. the Rhine beam whose long ** of the shape of beam is 400mm in excimer laser by the laser annealing method, for example -- using -- the output reinforcement -- for example, 200 mJ/cm² it is . The Rhine beam is scanned so that the portion which is equivalent to 90% of the peak value of the laser reinforcement in the short ***** about the Rhine beam may lap for every field.

[0040] Next, as shown in drawing 8 (B), the gate insulator layer 50 which patterning of the semiconductor film 100 is carried out, it considers as the island-like semiconductor film 200,300, and thickness becomes from the silicon oxide or the nitride which is about 600-1500Å by the plasma-CVD method to the surface by making TEOS (tetra-ethoxy silane), oxygen gas, etc. into material gas is formed.

[0041] Next, as shown in drawing 8 (C), after forming the electric conduction film which consists of metal membranes, such as aluminum, a tantalum, molybdenum, titanium, and a tungsten, by the spatter, patterning is carried out and the gate electrodes 21 and 31 as a part of scanning line gate are formed. The capacity line cline is formed at this production process. In addition, 310 are the installation portion of the gate electrode 31 among drawing.

[0042] The high-concentration phosphorus ion or high-concentration boron ion in this condition is driven in, and the source drain fields 22, 23, 32, and 33 are formed in the silicon thin film 200,300 in self align to the gate electrodes 21 and 31. In addition, the portion into which an impurity was not introduced serves as the channel fields 27 and 37.

[0043] Next, as shown in drawing 8 (D), after forming the 1st interlayer insulation film 51, contact holes 61, 62, 63, 64, and 69 are formed, and the potential maintenance electrode st, the common feeder com, and the junction electrode 35 equipped with the installation portion st1 which laps with the installation portions 310 of data-line sig, the capacity line cline, and the gate electrode 31 are formed. Consequently, the potential maintenance electrode st is electrically connected to the gate electrode 31 through a contact hole 69 and the installation portion 310. Thus, the 1st TFT20 and 2nd TFT30 are formed. Moreover, retention volume cap is formed of the capacity line cline and the installation portion st1 of the potential maintenance electrode st.

[0044] Next, as shown in drawing 8 (E), the 2nd interlayer insulation film 52 is formed and a contact hole 65 is formed

in the portion which is equivalent to the junction electrode 35 at this interlayer insulation film. Next, after forming an ITO film in the whole surface of the 2nd interlayer insulation film 52, patterning is carried out and the pixel electrode 41 connected electrically is formed in the source drain field 32 of 2nd TFT30 through a contact hole 65.

[0045] Next, as shown in drawing 8 (F), after forming a black resist layer in the surface side of the 2nd interlayer insulation film 52, it leaves so that the field which should form the hole-injection layer 42 and the organic-semiconductor film 43 of a light emitting device 40 for this resist may be surrounded, and the bank layer bank is formed. Here, when formed independently for every pixel, even if the organic-semiconductor films 43 are which configurations in the case of being formed in the shape of a stripe along with the data line sig etc., they only form the bank layer bank in the configuration corresponding to it, and can apply the manufacture method concerning this gestalt.

[0046] Next, the hole-injection layer 42 is formed in discharge and the inside field of the bank layer bank for the liquefied material (precursor) for constituting the hole-injection layer 42 from an ink jet arm head IJ to the inside field of the bank layer bank. Similarly, the organic-semiconductor film 43 is formed in discharge and the inside field of the bank layer bank for the liquefied material (precursor) for constituting the organic-semiconductor film 43 from an ink jet arm head IJ to the inside field of the bank layer bank. Here, since the bank layer bank consists of resists, it is water repellence. On the other hand, since the precursor of the organic-semiconductor film 43 mainly uses the solvent of hydrophilicity, the spreading field of the organic-semiconductor film 43 does not overflow into the pixel which is specified certainly and adjoins by the bank layer bank.

[0047] Thus, with this gestalt, in forming the organic-semiconductor film 43 and the hole-injection layer 42 by the ink jet method, in order to raise the working efficiency and shot-position precision, as shown in drawing 3, the pitch P of the center of the formation field of said organic-semiconductor film 43 is made equal also between which pixels 7 which adjoin along the installation direction of the scanning line gate. Therefore, since what is necessary is just to carry out the regurgitation of the material of the organic-semiconductor film 43 etc. to a location at equal intervals from the ink jet arm head IJ along the installation direction of the scanning line gate as an arrow head Q shows, there is an advantage that working efficiency is good. Moreover, while the migration controlling mechanism of the ink jet arm head IJ becomes simple, placing location precision also improves.

[0048] Counterelectrode op is formed in the surface side of the transparence substrate 10 as shown in after an appropriate time at drawing 8 (G). Here, although Counterelectrode op is formed the shape of the whole surface or a stripe of a pixel field at least, in forming Counterelectrode op in the shape of a stripe, after forming a metal membrane in the whole surface of the transparence substrate 10, it carries out patterning of it to the shape of a stripe.

[0049] In addition, about the bank layer bank, since it consists of black resists, it leaves as it is, and it uses as an insulating layer for reducing the black matrix BM and parasitic capacitance so that it may explain below.

[0050] Although TFT is formed also in the data side drive circuit 3 shown in drawing 1, or the scan side drive circuit 4, these TFT(s) use all or a part of production processes which forms TFT for the aforementioned pixel 7, and are performed. So, TFT which constitutes a drive circuit will also be formed between the same layers as TFT of a pixel 7.

[0051] Moreover, about said 1st TFT20 and 2nd TFT30, since N type and both sides can form TFT by the well-known method even if P type and one side are which such combination in N type, although any of P type are sufficient as another side, both sides omit the explanation.

[0052] (Formation field of a bank layer) With this gestalt, the aforementioned bank layer bank (the slash is given to the formation field.) is formed to all the boundary regions of the transparence substrate 10 shown in drawing 1. Therefore, the data side drive circuit 3 and the scan side drive circuit 4 are all covered with the bank layer bank. For this reason, even if it is in the condition that Counterelectrode op laps to the formation field of these drive circuits, the bank layer bank will intervene between the wiring layer of a drive circuit, and Counterelectrode op. So, since it can prevent that capacity is parasitic on the drive circuits 2 and 3, the load of the drive circuits 2 and 3 can be reduced and low-power-izing or improvement in the speed of a display action can be attained.

[0053] Moreover, with this gestalt, as shown in drawing 3 thru/or drawing 5, the bank layer bank is formed so that it may lap with the data line sig. Therefore, since the bank layer bank will intervene between the data line sig and Counterelectrode op, it can prevent that capacity is parasitic on the data line sig. Consequently, since the load of the data side drive circuit 3 can be reduced, low-power-izing or improvement in the speed of a display action can be attained.

[0054] Here, unlike the data line sig, the big current for driving a light emitting device 40 flows in the common feeder com, and, moreover, drive current is supplied to it to the pixel for two trains. For this reason, about the common feeder com, that line breadth is set up more widely than the line breadth of the data line sig, and the resistance per unit length of the common feeder com is made smaller than the resistance per unit length of the data line sig. The width of face of the bank layer bank formed here in case the bank layer bank is formed and the formation field of the organic-semiconductor film 43 is specified with this gestalt also under such a design condition so that it may lap with the

common feeder com By considering as the same width-of-face size as the bank layer bank which laps with the two data lines sig, it becomes the structure suitable for making equal the pitch P of the center of the formation field of the organic-semiconductor film 43 as mentioned above between [any] the pixels 7 which adjoin along the installation direction of the scanning line gate.

[0055] Furthermore, with this gestalt, as shown in drawing 3 , drawing 4 , and drawing 6 (A), the bank layer bank is formed also in the formation field of 1st TFT20 and the formation field of 2nd TFT30, and the field with which it laps among the formation fields of the pixel electrode 41. That is, as shown in drawing 6 (B), unless it forms the bank layer bank in the field which laps with the junction electrode 35, even if drive current flows between Counterelectrodes op and the organic-semiconductor film 43 emits light to it, outgoing radiation of this light will not be inserted and carried out to the junction electrode 35 and Counterelectrode op, and it will not contribute to a display. The drive current which flows in the portion which does not contribute to this display can be called reactive current seen from the field of a display. However, with this gestalt, the bank layer bank is formed in the portion into which such the reactive current should flow, and since it prevents that drive current flows there, it can prevent that useless current flows to the common feeder com. So, the width of face of the common feeder com may be narrow that much.

[0056] Moreover, if it leaves the bank layer bank constituted from a black resist as mentioned above, the bank layer bank will function as a black matrix, and its grace of displays, such as brightness and a contrast ratio, will improve. That is, in the display 1 concerning this gestalt, since Counterelectrode op is formed in the shape of a stripe over the whole surface by the side of the surface of the transparence substrate 10, or a large field, the reflected light in Counterelectrode op reduces a contrast ratio. However, with this gestalt, since the bank layer bank which has the function to stop parasitic capacitance was constituted from a black resist, specifying the formation field of the organic-semiconductor film 43, the bank layer bank functions also as a black matrix and the reflected light from Counterelectrode op is interrupted, there is an advantage that a contrast ratio is high. Moreover, since a luminescence field can be specified in self align using the bank layer bank, when another metal layer etc. is used as a black matrix, without using the bank layer bank as a black matrix, alignment additional coverage with the luminescence field which poses a problem is unnecessary.

[0057] The pixel 7 to which drive current flows between these common feeders com to each of the both sides of the common feeder com is arranged, to this pixel 7, the two data lines sig arrange said common feeder com in parallel, and it passes along the opposite side by the [example of amelioration of above-mentioned gestalt] above-mentioned gestalt. Therefore, there is a possibility that a cross talk may occur between the two data lines sig. So, with this gestalt, as shown in drawing 9 , drawing 10 (A), and (B), the dummy wiring layer DA is formed in the location which corresponds between the two data lines sig. As a wiring layer DA of this dummy, the ITO film DA 1 by which coincidence formation was carried out with the pixel electrode 41 can be used, for example. Moreover, as a dummy wiring layer DA, the installation portion DA 2 from the capacity line cline may be constituted between the two data lines sig. These both sides may be used as a dummy wiring layer DA.

[0058] Thus, if constituted, since the wiring layer DA different from them passes between the two data lines sig arranged in parallel, the image only makes fixed potential such a wiring layer DA (DA1, DA2) within 1 horizontal-scanning period at least, and the above-mentioned cross talk can be prevented. Namely, as compared with the capacity constituted to thickness being about 1 micrometer between each data line sig and the dummy wiring layer DA (DA1, DA2) since the gap of the two data lines [two] sig is about 2 micrometers or more, the capacity of the 1st interlayer insulation film 51 and 2nd interlayer insulation film 52 constituted in between by the two data lines sig is so small that it can fully be disregarded. So, since the signal of high frequency which leaked from the data line sig is absorbed by the dummy wiring layers DA and DA2, the cross talk between the two data lines sig can be prevented.

[0059] Moreover, between the two data lines sig which adjoin among two or more data lines sig, it is desirable to sample a picture signal to the same timing. Thus, if constituted, since the potential change at the time of a sampling will occur in coincidence between the two data lines sig, the cross talk between these two data lines sig can be prevented more certainly.

[0060] [another example of a configuration of retention volume] -- in addition, although the capacity line cline was formed in constituting retention volume cap, as the conventional technology explained, retention volume cap may consist of above-mentioned gestalten using the polish recon film for constituting TFT.

[0061] Moreover, as shown in drawing 11 , retention volume cap may be constituted between the common feeder com and the potential maintenance electrode st. In this case, what is necessary is to extend the installation portion 310 of the gate electrode 31 for connecting electrically the potential maintenance electrode st and the gate electrode 31 even to the lower layer side of the common feeder com, and just to constitute retention volume cap by using as a dielectric film the 1st interlayer insulation film 51 located between this installation portion 310 and common feeder com, as shown in drawing 12 (A) and (B).

[0062] Although it was the configuration of driving a light emitting device 40 with the same polar drive current also in which pixel 7, with the gestalt 1 of operation of the [gestalt 2 of operation] above two kinds of pixels 7 by which the drive of a light emitting device 40 is performed to two or more pixels 7 to which energization of drive current is performed between the same common feeders com according to the drive current which polarity reversed so that it may explain below -- the same number -- you may constitute as contained.

[0063] Such an example of a configuration is explained with reference to drawing 13 thru/or drawing 17. Drawing 13 is the block diagram of the gestalt which constituted two kinds of pixels which a light emitting device 40 drives from drive current which polarity reversed. Drawing 14 and drawing 15 are explanatory drawings of the scan signal at the time of driving a light emitting device 40 with the drive current which polarity reversed, a picture signal, the potential of a common feeder, and the potential of a potential maintenance electrode, respectively.

[0064] Also in any of this gestalt and the gestalt mentioned later, as shown in drawing 13 In driving a light emitting device 40 with the drive current i which polarity reversed, by pixel 7A by which drive current flows from the common feeder com as an arrow head E shows 1st TFT20 is constituted from an n channel mold, and the p channel mold constitutes 1st TFT20 from pixel 7B by which drive current flows towards the common feeder com as an arrow head F shows. For this reason, the scanning lines gateA and gateB are constituted in each of two kinds of these pixels 7A and 7B. Moreover, with this gestalt, while 2nd TFT30 of pixel 7A is constituted from a p channel mold, an n channel mold constitutes 2nd TFT30 of pixel 7B, and the 1st TFT20 and 2nd TFT30 are used as the reverse conductivity type also in which pixels 7A and 7B. Therefore, also about the picture signal supplied through data-line sigA corresponding to pixel 7A, and data-line sigB corresponding to pixel 7B, respectively, the polarity is reversed so that it may mention later.

[0065] Furthermore, it is necessary from each pixels 7A and 7B to constitute so that it may mention later and may become reversed polarity from driving a light emitting device 40 with the drive current i which polarity reversed, respectively, when based on the potential of the common feeder com also with the potential of Counterelectrode op. Therefore, about Counterelectrode op, it will constitute so that pixel 7A to which drive current i with the same polarity flows, and 7B may be connected, and predetermined potential will be impressed to each.

[0066] so, to each of drawing 14 and drawing 15 The wave of the scan signal supplied through the scanning lines gateA and gateB to Pixels 7A and 7B, As expressed on the basis of the potential of the common feeder com, the wave of the picture signal supplied through data-line sigA and sigB, the potential of Counterelectrode op, and the potential of the potential maintenance electrodes stA and stB In between Pixels 7A and 7B, each signal is set up so that it may become reversed polarity also in any of a lighting period and a putting-out-lights period.

[0067] Moreover, as shown in drawing 16 (A) and (B), the light emitting devices 40A and 40B of different structure are constituted by each pixels 7A and 7B. That is, the laminating of the pixel electrode 41 with which light emitting device 40A formed in pixel 7A consists of an ITO film toward a lower layer side to an upper layer side, the hole-injection layer 42, the organic-semiconductor film 43, and the counterelectrode opA is carried out to this order. On the other hand, the laminating of such a thin lithium content aluminum electrode 45 that light emitting device 40B formed in pixel 7B has the pixel electrode 41 and translucency which consist of an ITO film toward an upper layer side from a lower layer side, the organic-semiconductor layer 42, the hole-injection layer 42, the ITO membrane layer 46, and the counterelectrode opB is carried out to this order. Therefore, among light emitting devices 40A and 40B, although the drive current of reversed polarity flows, respectively, since the configuration of the electrode layer which the hole-injection layer 42 and the organic-semiconductor layer 42 touch directly is the same, the luminescence property of light emitting devices 40A and 40B is equivalent.

[0068] Since both organic-semiconductor films 43 and hole-injection layers 42 form each inside the bank layer bank by the ink jet method in forming two kinds of such light emitting devices 40A and 40B, a manufacturing process does not become complicated even when a vertical location is opposite. Moreover, although such a thin lithium content aluminum electrode 45 that it has translucency and the ITO membrane layer 46 will be added in light emitting device 40B as compared with light emitting device 40A, even if there is no trouble in a display even if the lithium content aluminum electrode 45 has structure which is carrying out the laminating in the same field as the pixel electrode 41, and it has structure which is carrying out the laminating also of the ITO membrane layer 46 in the same field as Counterelectrode opB, there is still no trouble in a display. So, although patterning of the lithium content aluminum electrode 45 and the pixel electrode 41 may be carried out separately, respectively, patterning of them may be collectively carried out with the same resist mask. Similarly, although patterning of the ITO membrane layer 46 and the counterelectrode opB may be carried out separately, respectively, patterning of them may be collectively carried out with the same resist mask. The lithium content aluminum electrode 45 and the ITO membrane layer 46 of your forming only in the inside field of the bank layer bank are natural.

[0069] Thus, after enabling it to drive light emitting devices 40A and 40B with the drive current which polarity reversed

in each pixels 7A and 7B, two kinds of aforementioned pixels 7A and 7B are arranged as shown in drawing 17 . In this drawing, the pixel to which the pixel to which agreement (-) is given is equivalent to pixel 7A explained by drawing 13 , drawing 14 , and drawing 16 , and agreement (+) is given is equivalent to pixel 7B explained by drawing 13 , drawing 15 , and drawing 16 . In addition, to drawing 17 , illustration of the scanning lines gateA and gate and data-line sigA, and sigB is omitted.

[0070] As shown in drawing 17 , in the installation direction of data-line sigA and sigB, the polarity of the drive current in each pixel is the same, and the polarity of the drive current in each pixel is reversed in the installation direction of the scanning lines gateA and gateB for every pixel with this gestalt. In addition, it constitutes so that pixel 7A to which drive current with the polarity same [any counterelectrodes opA and opB] flows the formation field of the counterelectrodes opA and opB corresponding to each pixel as an alternate long and short dash line shows, respectively, and 7B may be connected. That is, Counterelectrodes opA and opB are separately formed in the shape of a stripe along the installation direction of data-line sigA and sigB, and when based on the potential of the common feeder com, electronegative potential and electropositive potential are impressed to each of Counterelectrodes opA and opB.

[0071] Therefore, between each pixels 7A and 7B and the common feeder com, the drive current i of the sense shown in arrow heads E and F at drawing 13 , respectively will flow. For this reason, since the current which flows the common feeder com substantially is offset between the drive current i from which polarity differs, its drive current which flows to the common feeder com is small, and it ends. Therefore, since the common feeder com can be made that much thin, the rate of the luminescence field of a pixel field can be raised in Pixels 7A and 7B, and display engine performance, such as brightness and a contrast ratio, can be raised.

[0072] As long as it carries out from a viewpoint of arranging a pixel, as [flow / between the same common feeders com which are [the gestalten 3 of operation] / with the polarity of reverse / drive current], each pixel may be arranged as shown in drawing 18 . In addition, since it is the same as that of the gestalt 2 of operation of the configuration of each pixels 7A and 7B etc. with this gestalt, To drawing 19 thru/or drawing 21 for explaining each gestalt which omits the explanation and is explained to drawing 18 and the following The pixel equivalent to pixel 7A explained by drawing 13 , drawing 14 , and drawing 16 is expressed with agreement (-), and the pixel equivalent to pixel 7B explained by drawing 13 , drawing 15 , and drawing 16 is expressed with agreement (+).

[0073] As shown in drawing 18 , the polarity of the drive current in each pixels 7A and 7B is the same, and in the installation direction of the scanning lines gateA and gateB, it consists of these gestalten in the installation direction of data-line sigA and sigB so that the polarity of the drive current in each pixels 7A and 7B may be reversed every 2 pixels.

[0074] Thus, also when constituted, between each pixels 7A and 7B and the common feeder com, the drive current i of the sense shown in arrow heads E and F at drawing 13 , respectively will flow. For this reason, since the current which flows the common feeder com is offset between the drive current i from which polarity differs, its drive current which flows to the common feeder com is small, and it ends. Therefore, since the common feeder com can be made that much thin, the rate of the luminescence field of a pixel field can be raised in the pixels 7A and 7B of a pixel field, and display engine performance, such as brightness and a contrast ratio, can be raised. What is necessary is just to form the common counterelectrodes opA and opB in the shape of a stripe to the pixel of two trains which adjoin each other, if it is the pixels driven with the same polar drive current, since the polarity of drive current is reversed every 2 pixels in the installation direction of the scanning lines gateA and gateB with this gestalt in addition to it. So, the number of stripes of Counterelectrodes opA and opB can be reduced to one half. Moreover, since resistance of Counterelectrodes opA and opB can be made small as compared with the stripe in every pixel, the effect of the voltage drop of Counterelectrodes opA and opB is mitigable.

[0075] As long as it carries out from a viewpoint of arranging a pixel, as [flow / between the [gestalt 4 of operation], and the same common feeder com / with the polarity of reverse / drive current], each pixel may be arranged as shown in drawing 19 .

[0076] As shown in drawing 19 , the polarity of the drive current in each pixels 7A and 7B is the same, and in the installation direction of data-line sigA and sigB, it consists of these gestalten in the installation direction of the scanning lines gateA and gateB so that the polarity of the drive current in each pixels 7A and 7B may be reversed for every pixel.

[0077] Thus, as well as the gestalten 2 or 3 of operation when it constitutes, since each other is offset between the drive current from which polarity differs, the current which flows the common feeder com has small drive current which flows to the common feeder com, and ends. Therefore, since the common feeder com can be made that much thin, the rate of the luminescence field of a pixel field can be raised in Pixels 7A and 7B, and display engine performance, such as brightness and a contrast ratio, can be raised.

[0078] As long as it carries out from a viewpoint of arranging a pixel, as [flow / between the [gestalt 5 of operation],

and the same common feeder com / with the polarity of reverse / drive current], each pixel may be arranged as shown in drawing 20 .

[0079] As shown in drawing 20 , the polarity of the drive current in each pixels 7A and 7B is the same, and in the installation direction of data-line sigA and sigB, it consists of these gestalten in the installation direction of the scanning lines gateA and gateB so that the polarity of the drive current in each pixels 7A and 7B may be reversed every 2 pixels.

[0080] Thus, when constituted, since each other is offset between the drive current from which polarity differs, the current which flows the common feeder com has small drive current which flows to the common feeder com, and ends.

[as well as the gestalt 3 of operation] Therefore, since the common feeder com can be made that much thin, the rate of the luminescence field of a pixel field can be raised in Pixels 7A and 7B, and display engine performance, such as brightness and a contrast ratio, can be raised. What is necessary is just to form the common counterelectrodes opA and opB in the shape of a stripe to the pixel of two trains which adjoin each other, if it is the pixels driven with the same polar drive current, since the polarity of drive current is reversed every 2 pixels in the installation direction of data-line sigA and sigB with this gestalt in addition to it. So, the number of stripes of Counterelectrodes opA and opB can be reduced to one half. Moreover, since resistance of Counterelectrodes opA and opB can be made small as compared with the stripe in every pixel, the effect of the voltage drop of Counterelectrodes opA and opB is mitigable.

[0081] As long as it carries out from a viewpoint of arranging a pixel, as [flow / between the [gestalt 6 of operation], and the same common feeder com / with the polarity of reverse / drive current], each pixel may be arranged as shown in drawing 21 .

[0082] As shown in drawing 21 , it consists of these gestalten in any direction of the installation direction of the installation direction of the scanning lines gateA and gateB and data-line sigA, and sigB so that the polarity of the drive current in each pixels 7A and 7B may be reversed for every pixel.

[0083] Thus, as well as the gestalt 2 of operation thru/or 4 when it constitutes, since each other is offset between the drive current from which polarity differs, the current which flows the common feeder com has small drive current which flows to the common feeder com, and ends. Therefore, since the common feeder com can be made that much thin, the rate of a luminescence field can be raised in Pixels 7A and 7B, and display engine performance, such as brightness and a contrast ratio, can be raised.

[0084] Thus, what is necessary is to be unable to respond in the stripe-like counterelectrodes opA and opB, if Pixels 7A and 7B are arranged, but just to still consider as the configuration which makes wiring connection of each counterelectrode opA and the opB(s) by the wiring layer, while forming Counterelectrodes opA and opB in every each pixel 7A and 7B.

[0085]

[Effect of the Invention] As explained above, since the pixel by which energization of drive current is performed on both sides of a common feeder between these common feeders is arranged, it ends with the display concerning this invention to the pixel for two trains in one common feeder. So, since the formation field of a common feeder can be narrowed as compared with the case where a common feeder is formed for every pixel group of one train, the rate of a luminescence field can be raised in the part and a pixel, and display engine performance, such as brightness and a contrast ratio, can be raised.

[0086] Moreover, when two kinds of pixels to which the drive of said light emitting device is performed according to the drive current which polarity reversed are contained in two or more pixels to which energization of said drive current is performed between said same common feeders, it sets to one common feeder. Since the drive current to which the drive current which flows from a common feeder to a light emitting device, and it flow from a light emitting device to the reverse sense in a common feeder is offset, the drive current which flows to a common feeder ends small. Therefore, since a common feeder can be made that much thin, the rate of a luminescence field can be raised in a pixel and display engine performance, such as brightness and a contrast ratio, can be raised.

[Translation done.]

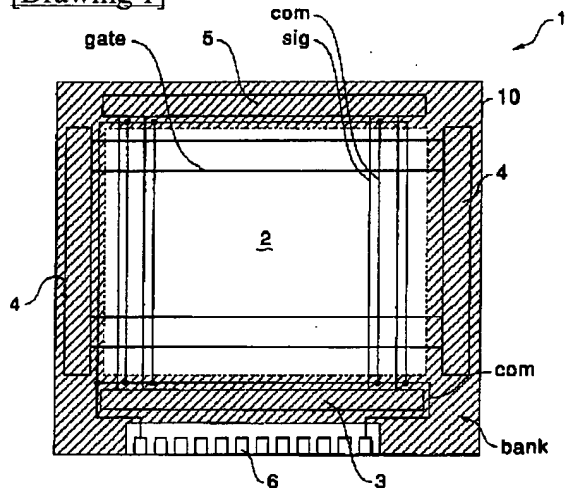
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

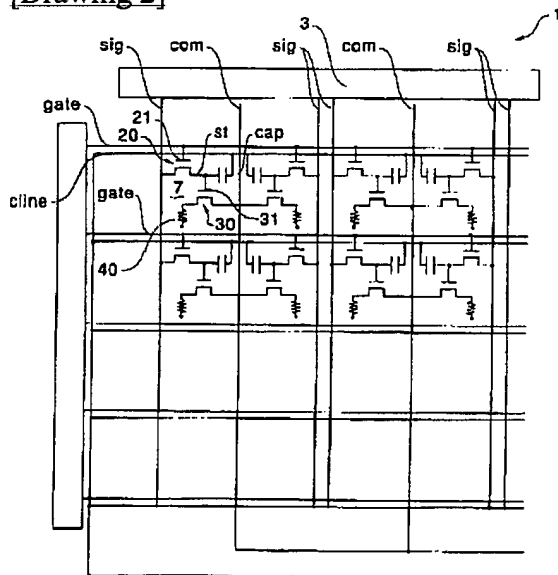
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

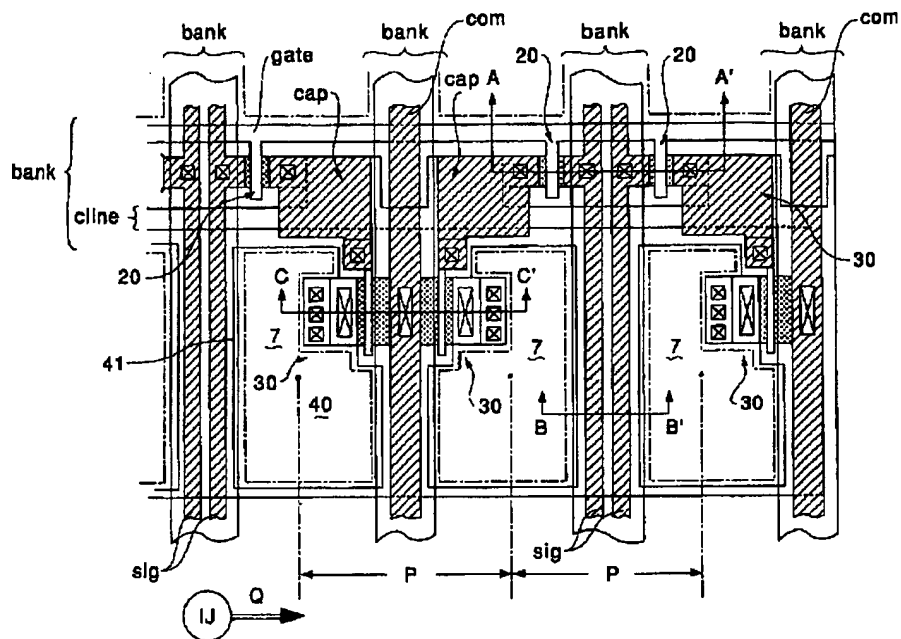
[Drawing 1]



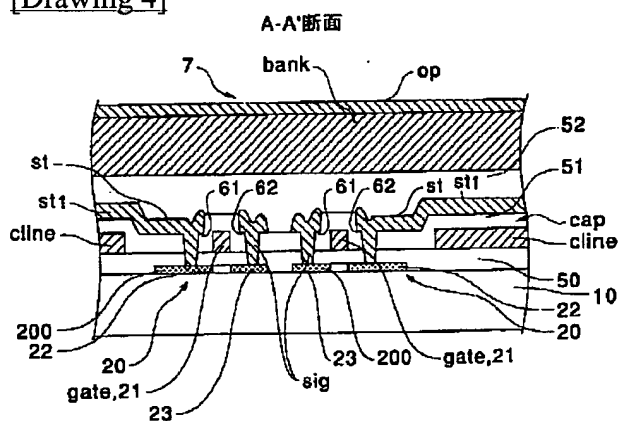
[Drawing 2]



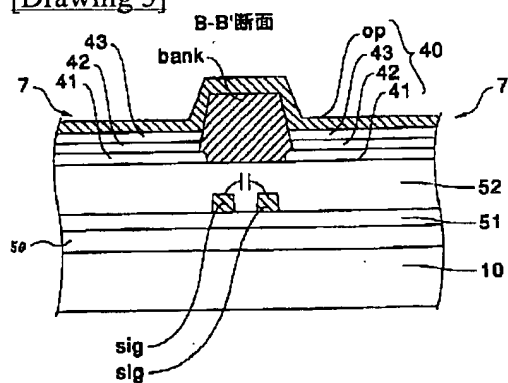
[Drawing 3]



[Drawing 4]



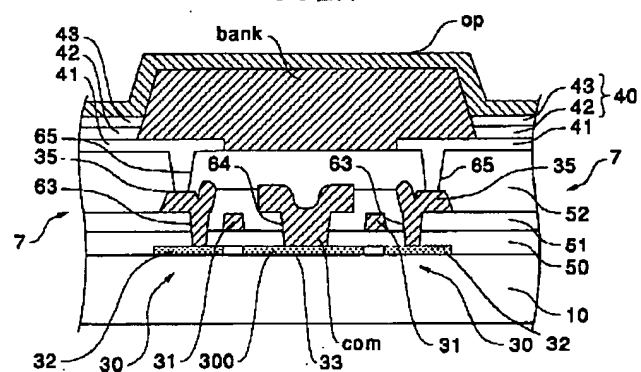
[Drawing 5]



[Drawing 6]

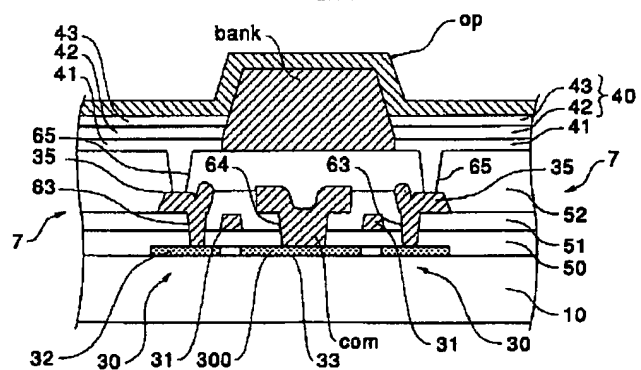
(A)

C-C'断面

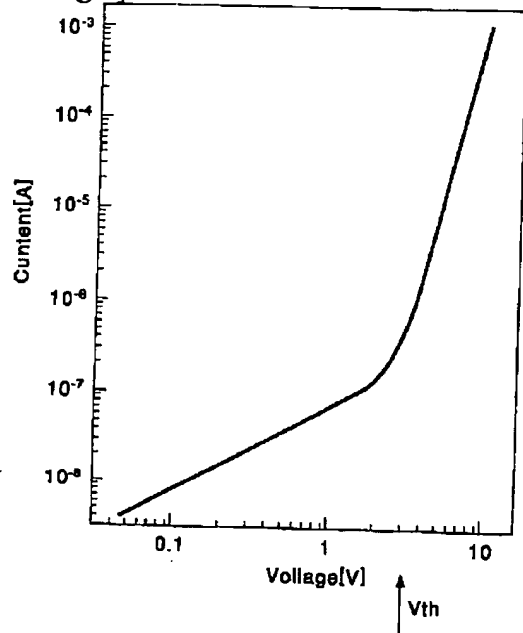


(B)

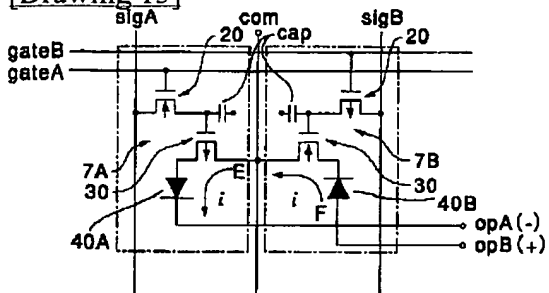
C-C'断面



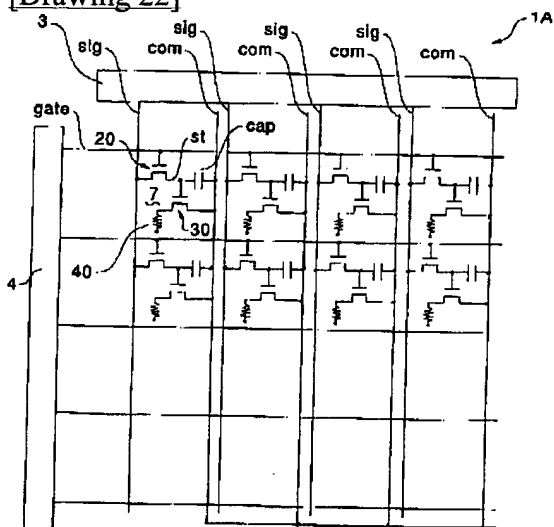
[Drawing 7]



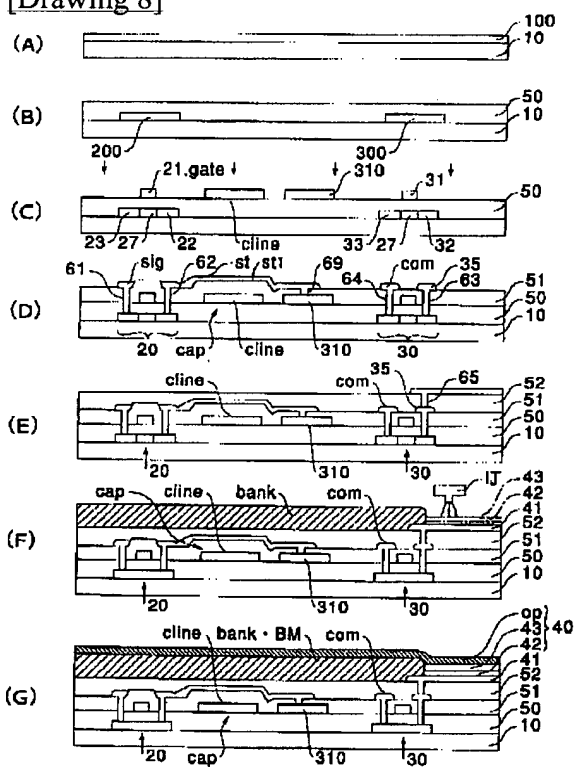
[Drawing 13]



[Drawing 22]

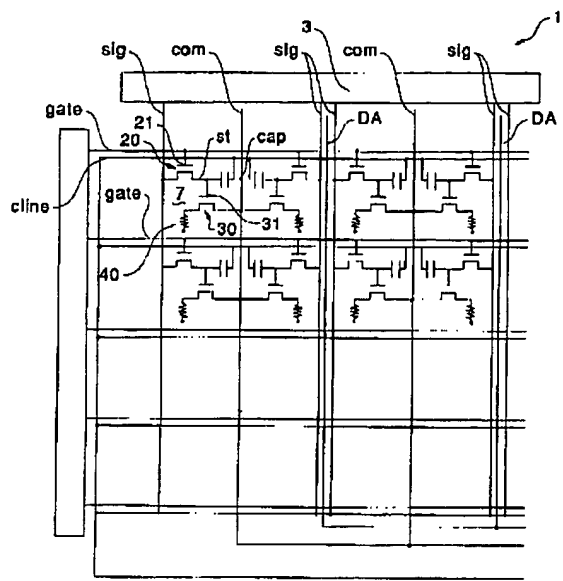


[Drawing 8]

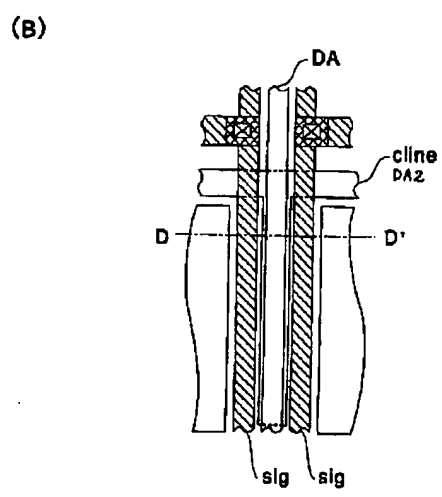
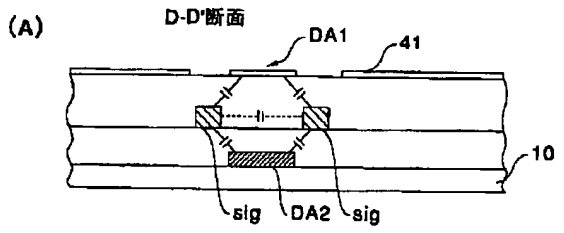


5772-1

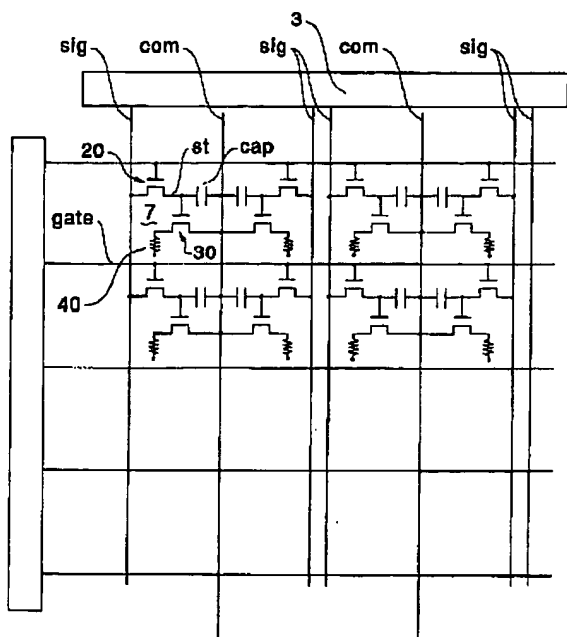
[Drawing 9]



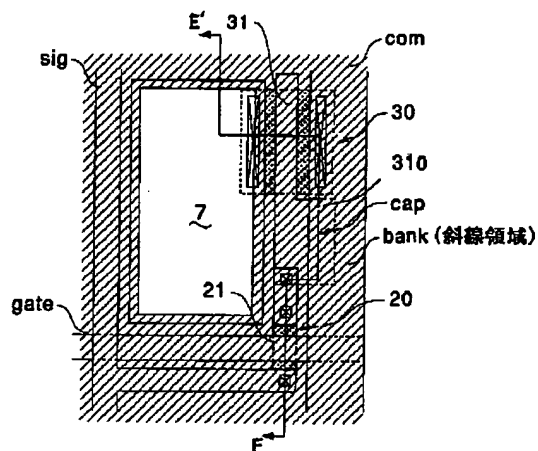
[Drawing 10]
図10



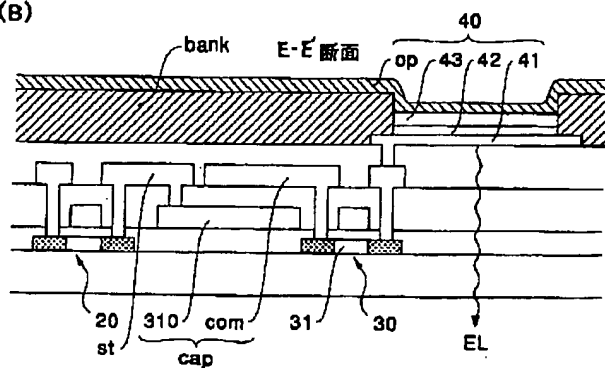
[Drawing 11]



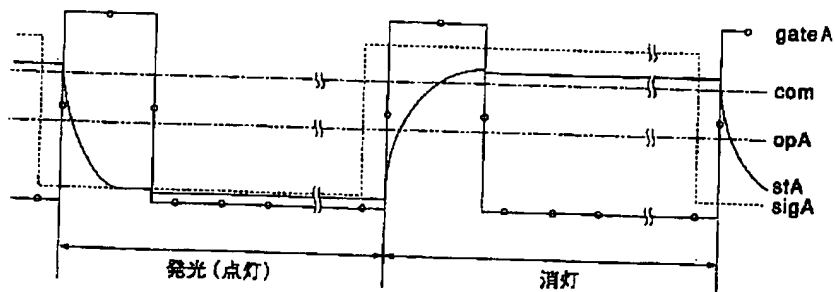
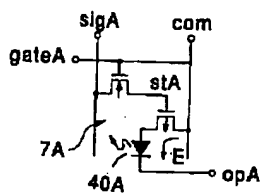
[Drawing 12]
(A)



(B)

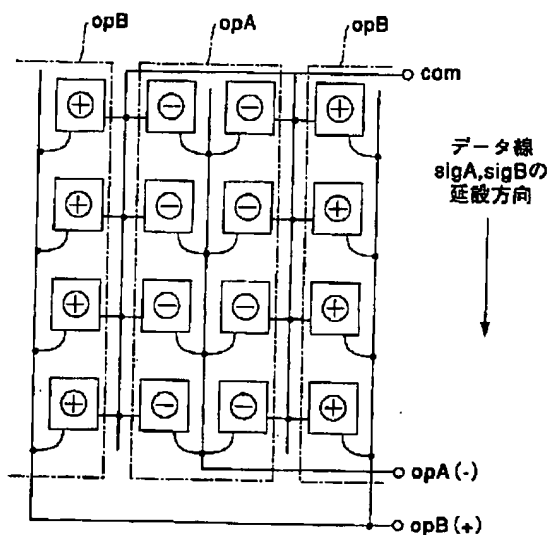


[Drawing 14]

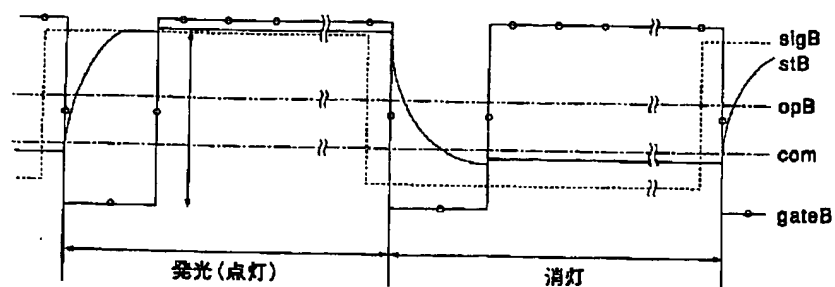
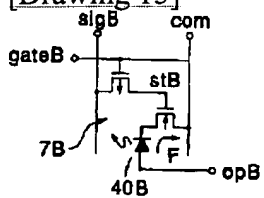


[Drawing 16]

走査線gateA, gateBの延設方向

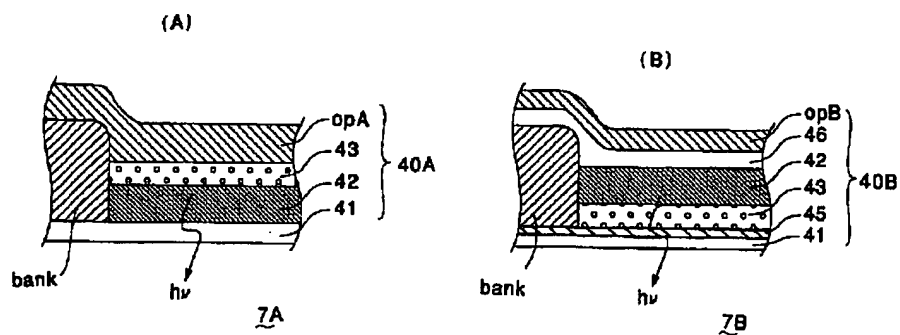


[Drawing 15]



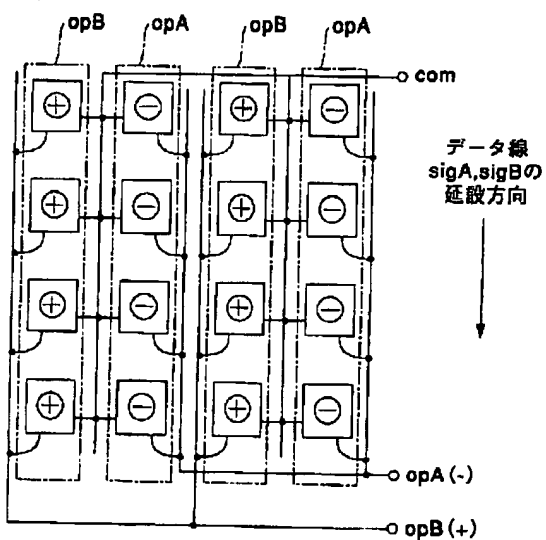
[Drawing 17]

16



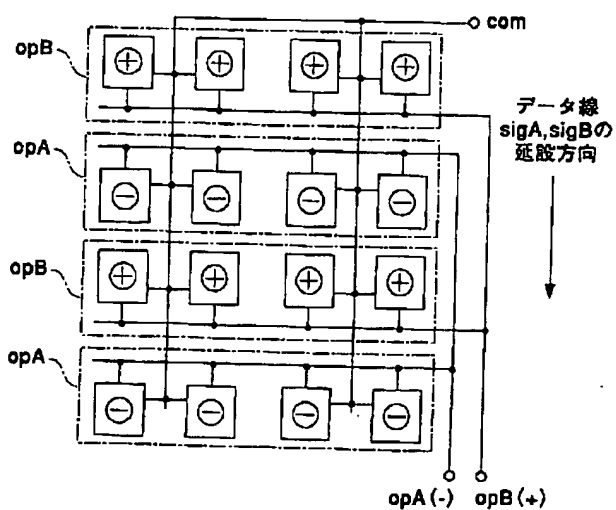
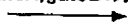
[Drawing 18]

走査線gateA, gateBの延設方向



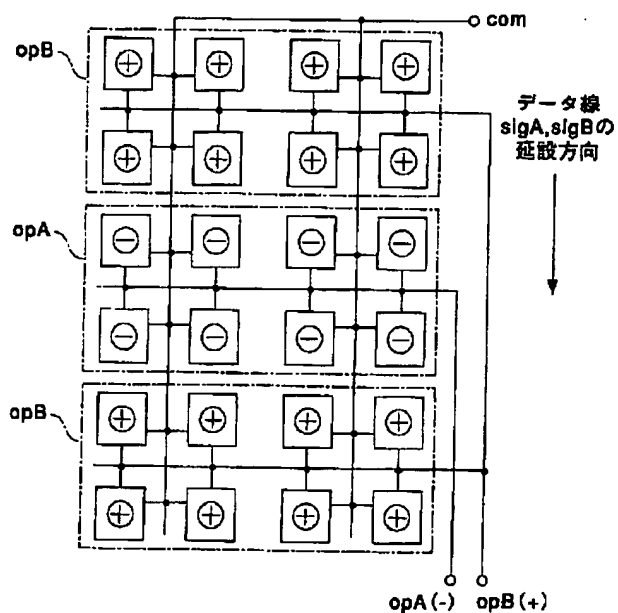
[Drawing 19]

走査線gateA, gateBの延設方向



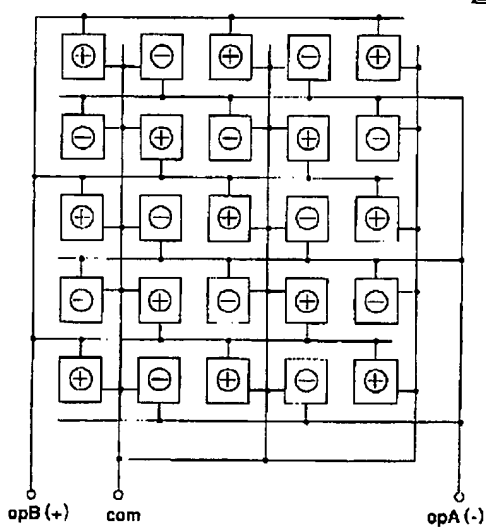
[Drawing 20]

走査線gateA,gateBの延設方向



[Drawing 21]

走査線gateA,gateBの延設方向

データ線
sigA, sigBの
延設方向

[Drawing 23]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-24606

(43)公開日 平成11年(1999)1月29日

(51)Int.Cl.⁸

識別記号

F I

G 0 9 F 9/30

3 6 5

G 0 9 F 9/30

3 6 5 C

G 0 9 G 3/30

G 0 9 G 3/30

Z

H 0 5 B 33/26

H 0 5 B 33/26

審査請求 未請求 請求項の数13 O L (全 18 頁)

(21)出願番号 特願平9-177455

(22)出願日 平成9年(1997)7月2日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

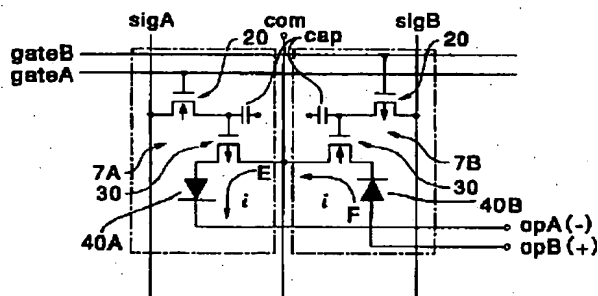
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 基板上に構成される画素および共通給電線のレイアウトを改良して画素の発光領域を拡張し、表示の品位を高めることのできる表示装置を提供すること。

【解決手段】 エレクトロルミネッセンス素子またはLED素子のような発光素子40を備える画素7A、7Bを共通給電線comの両側に配置し、共通給電線comの数を減らす。また、画素7A、7Bの間で発光素子40に流れる駆動電流の極性を反転し、共通給電線comに流れる電流を小さくする。



【特許請求の範囲】

【請求項1】 基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線によりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを備える表示装置において、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素が配置され、該画素に対して前記共通給電線とは反対側を前記データ線が通つて

【請求項2】 請求項1において、前記共通給電線を挟むように配置された2つの画素の間で、前記第1の薄膜トランジスタ、前記第2の薄膜トランジスタ、および前記発光素子は、当該共通給電線を中心に線対称に配置されていることを特徴とする表示装置。

【請求項3】 請求項1または2において、前記走査線の延設方向に沿って隣接するいずれの画素の間でも前記有機半導体膜の形成領域の中心のピッチが等しいことを特徴とする表示装置。

【請求項4】 請求項2において、前記有機半導体膜の形成領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、同じ幅寸法で前記データ線および前記共通給電線を覆うように構成されていることを特徴とする表示装置。

【請求項5】 請求項4において、前記有機半導体膜は、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、前記有機半導体膜をインクジェット法により形成する際に前記有機半導体膜のはみ出しを防止するための膜であることを

【請求項6】 請求項1ないし5のいずれかにおいて、前記画素に対して前記共通給電線とは反対側を通る2本のデータ線の間に相当する位置には、配線層が形成されていることを特徴とする表示装置。

【請求項7】 請求項6において、前記複数のデータ線のうち、隣接する2本のデータ線の間では、画像信号のサンプリングが同一のタイミングで行われるように構成されていることを特徴とする表示装置。

【請求項8】 請求項1において、同一の前記共通給電

線との間で前記駆動電流の通電が行われる複数の画素には、極性が反転した駆動電流により前記発光素子の駆動が行われる2種類の画素が含まれていることを特徴とする表示装置。

【請求項9】 請求項8において、前記データ線の延設方向では各画素における駆動電流の極性が同一で、前記走査線の延設方向では各画素における駆動電流の極性が1画素毎に反転していることを特徴とする表示装置。

【請求項10】 請求項8において、前記データ線の延設方向では各画素における駆動電流の極性が同一で、前記走査線の延設方向では各画素における駆動電流の極性が2画素毎に反転していることを特徴とする表示装置。

【請求項11】 請求項8において、前記走査線の延設方向では各画素における駆動電流の極性が同一で、前記データ線の延設方向では各画素における駆動電流の極性が1画素毎に反転していることを特徴とする表示装置。

【請求項12】 請求項8において、前記走査線の延設方向では各画素における駆動電流の極性が同一で、前記データ線の延設方向では各画素における駆動電流の極性が2画素毎に反転していることを特徴とする表示装置。

【請求項13】 請求項8において、前記走査線の延設方向および前記データ線の延設方向のいずれの方向でも、各画素における駆動電流の極性が1画素毎に反転していることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機半導体膜を駆動電流が流れることによって発光するEL（エレクトロルミネッセンス）素子またはLED（発光ダイオード）素子などの発光素子と、この発光素子の発光動作を制御する薄膜トランジスタ（以下、TFTという。）とを用いたアクティブマトリクス型の表示装置に関するものである。さらに詳しくは、その表示特性を向上するためのレイアウトの最適化技術に関するものである。

【0002】

【従来の技術】EL素子またはLED素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

【0003】図22は、このような表示装置の一例として、電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置のブロック図を示してある。この図に示す表示装置1Aでは、透明基板上に、複数の走査線gateと、これらの走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、これらのデータ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとの交差点に対応する画素7とが構成されている。データ線si

g に対しては、シフトレジスタ、レベルシフト、ビデオライン、アナログスイッチを備えるデータ側駆動回路3が構成されている。走査線に対しては、シフトレジスタおよびレベルシフトを備える走査側駆動回路4が構成されている。また、画素7の各々には、走査線を介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線sigから供給される画像信号を保持する保持容量capと、この保持容量capによって保持された画像信号がゲート電極に供給される第2のTFT30と、第2のTFT30を介して共通給電線comに電気的に接続したときに共通給電線comから駆動電流が流れ込む発光素子40とが構成されている。

【0004】すなわち、図23(A)、(B)に示すように、いずれの画素7においても、島状の2つの半導体膜を利用して第1のTFT20および第2のTFT30が形成され、第2のTFT30のソース・ドレイン領域には、第1の層間絶縁膜51のコンタクトホールを介して中継電極35が電気的に接続し、該中継電極35には第2の層間絶縁膜52のコンタクトホールを介して画素電極41が電気的に接続している。この画素電極41の上層側には、正孔注入層42、有機半導体膜43、対向電極opが積層されている。ここで、対向電極opは、データ線sigなどを跨いで複数の画素7にわたって形成されている。なお、第2のTFT30のソース・ドレイン領域には、コンタクトホールを介して共通給電線comが電気的に接続している。

【0005】これに対して、第1のTFT20では、そのソース・ドレイン領域に電気的に接続する電位保持電極stは、ゲート電極31の延設部分310に電気的に接続している。この延設部分310に対しては、その下層側においてゲート絶縁膜50を介して半導体膜400が対向し、この半導体膜400は、それに導入された不純物によって導電化されているので、延設部分310およびゲート絶縁膜50とともに保持容量capを構成している。ここで、半導体膜400に対しては第1の層間絶縁膜51のコンタクトホールを介して共通給電線comが電気的に接続している。従って、保持容量capは、第1のTFT20を介してデータ線sigから供給される画像信号を保持するので、第1のTFT20がオフになっても、第2のTFT30のゲート電極31は画像信号に相当する電位に保持される。それ故、発光素子40には共通給電線comから駆動電流が流れ続けるので、発光素子40は発光し続けることになる。

【0006】

【発明が解決しようとする課題】しかしながら、前記の表示装置1Aでは、液晶表示装置と比較して、第2のTFT30および共通給電線comが必要な分、画素7が狭いため、表示の品位を高めることができないという問題点がある。

【0007】そこで、本発明の課題は、基板上に構成される画素および共通給電線のレイアウトを改良して画素の発光領域を拡張し、表示の品位を高めることのできる表示装置を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素が配置され、該画素に対して前記共通給電線とは反対側を前記データ線が通っていることを特徴とする。

【0009】すなわち、本発明では、データ線、それに接続する画素群、1本の共通給電線、それに接続する画素群、および該画素群に画素信号を供給するデータ線を1つの単位としてそれを走査線の延設方向に繰り返すので、2列分の画素を1本の共通給電線で駆動する。従って、1列の画素群ごとに共通給電線を形成する場合と比較して共通給電線の形成領域を狭めることができるため、その分、画素の発光領域を拡張できる。よって、輝度、コントラスト比などの表示性能を向上させることができる。

【0010】このように構成するにあたっては、たとえば、前記共通給電線を挟むように配置された2つの画素の間では、前記第1の薄膜トランジスタ、前記第2の薄膜トランジスタ、および前記発光素子を、当該共通給電線を中心に線対称に配置することが好ましい。

【0011】本発明において、前記走査線の延設方向に沿って隣接するいずれの画素の間でも前記有機半導体膜の形成領域の中心のピッチが等しいことが好ましい。このように構成すると、インクジェットヘッドから有機半導体膜の材料を吐出して有機半導体膜を形成するのに都合がよい。すなわち、有機半導体膜の形成領域の中心のピッチが等しいので、インクジェットヘッドから有機半導体膜の材料を等間隔で吐出していけばよい。これにより、インクジェットヘッドの移動制御機構が簡易になる

とともに、位置精度も向上する。

【0012】また、前記有機半導体膜の形成領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、同じ幅寸法で前記データ線および前記共通給電線を覆うように構成されていることが好ましい。このように構成すると、有機半導体膜をインクジェット法により形成する際に、バンク層が有機半導体膜が周囲にはみ出すのを防止するので、有機半導体膜を所定領域内に形成できる。また、該バンク層は、同じ幅寸法で前記データ線および前記共通給電線を覆うため、走査線の延設方向に沿って隣接するいずれの画素の間でも有機半導体膜の形成領域の中心のピッチが等しくするのに適している。ここで、対向電極は少なくとも画素領域上のほぼ全面、あるいはストライプ状に広い領域にわたって形成され、データ線と対向する状態にある。従って、このままでは、データ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間にバンク層が介在しているので、対向電極との間に形成される容量がデータ線に寄生することを防止できる。その結果、データ側駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0013】本発明において、前記画素に対して前記共通給電線とは反対側を通る2本のデータ線の間に対応する位置には、配線層が形成されていることが好ましい。2本のデータ線が並列していると、これらのデータ線の間でクロストークが発生するおそれがある。しかるに本発明では、2本のデータ線の間にはそれらとは別の配線層が通っているので、このような配線層を画像の少なくとも1水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。

【0014】この場合に、前記複数のデータ線のうち、隣接する2本のデータ線の間では、画像信号のサンプリングを同一のタイミングで行うことが好ましい。このように構成すると、2本のデータ線の間でサンプリング時の電位変化が同時に起こるので、これらのデータ線の間でクロストークが発生するのをより確実に防止できる。

【0015】本発明では、同一の前記共通給電線との間で前記駆動電流の通電が行われる複数の画素には、極性が反転した駆動電流により前記発光素子の駆動が行われる2種類の画素がほぼ同数含まれていることが好ましい。

【0016】このように構成すると、共通給電線から画素に流れる駆動電流と、画素から共通給電線に流れる駆動電流とが相殺され、共通給電線に流れる駆動電流が小さくて済む。従って、共通給電線をその分細くすることができるので、パネル外形に対する表示面積を拡張できる。また、駆動電流の差により生じる輝度むらをなくすることができる。

【0017】たとえば、前記データ線の延設方向では各

画素における駆動電流の極性が同一で、前記走査線の延設方向では各画素における駆動電流の極性が1画素毎に、あるいは2画素毎に反転するように構成する。あるいは、前記走査線の延設方向では各画素における駆動電流の極性が同一で、前記データ線の延設方向では各画素における駆動電流の極性が1画素毎、あるいは2画素毎に反転するように構成してもよい。これらの形態のうち、2画素毎に駆動電流の極性が反転するように構成した場合には、同じ極性の駆動電流が流れる画素については、隣接する画素の間で対向電極を共通にすることができるので、対向電極のスリット数を減らすことができる。すなわち、大電流が流れる対向電極の抵抗値を高くすることなく、極性反転を実現できる。

【0018】また、前記走査線の延設方向および前記データ線の延設方向のいずれの方向でも、各画素における駆動電流の極性が1画素毎に反転するように構成してもよい。

【0019】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0020】〔実施の形態1〕

(アクティブマトリクス基板の全体構成) 図1は、表示装置の全体のレイアウトを模式的に示すブロック図、図2は、それに構成されたアクティブマトリクスの等価回路図である。

【0021】この図に示すように、本形態の表示装置1ではその基体たる透明基板10の中央部分が表示部2とされている。透明基板10の外周部分のうち、データ線sigの両端側には画像信号を出力するデータ側駆動回路3、および検査回路5が構成され、走査線gateの両端側には走査信号を出力する走査側駆動回路4が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ、レベルシフタ、アナログスイッチなどを構成している。なお、透明基板10上において、データ側駆動回路3よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド6が形成されている。

【0022】(共通給電線と画素の配置) 表示装置1では、液晶表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigとが構成され、図2に示すように、これらのデータ線sigと走査線gateとによりマトリクス状に形成された画素7が構成されている。

【0023】これらの画素7のいずれにも、走査線gateを介して走査信号がゲート電極21(第1のゲート電極)に供給される第1のTFT20が構成されている。このTFT20のソース・ドレイン領域の一方は、データ線sigに電気的に接続し、他方は電位保持電極

10

20

30

40

50

s tに電氣的に接続している。走査線gateに対しては容量線clineが並列配置され、この容量線clineと電位保持電極stとの間には保持容量capが形成されている。従って、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。

【0024】電位保持電極stには第2のTFT30のゲート電極31（第2のゲート電極）が電氣的に接続している。このTFT30のソース・ドレイン領域の一方は、共通給電線comに電氣的に接続する一方、他方は発光素子40の一方の電極（後述する画素電極）に電氣的に接続している。共通給電線comは定電位に保持されている。従って、第2のTFT30がオン状態になったときに、このTFTを介して共通給電線comの電流が発光素子40に流れ、発光素子40を発光させる。

【0025】本形態では、共通給電線comの両側に、該共通給電線comとの間で駆動電流の供給が行われる複数の画素7が配置され、これらの画素7に対して共通給電線comとは反対側を2本のデータ線sigが通っている。すなわち、データ線sig、それに接続する画素群、1本の共通給電線com、それに接続する画素群、および該画素群に画素信号を供給するデータ線sigを1つの単位としてそれを走査線gateの延設方向に繰り返してあり、共通給電線comは、1本で2列分の画素7に対して駆動電流を供給する。そこで、本形態では、共通給電線comを挟むように配置された2つの画素7の間では、第1のTFT20、第2のTFT30、および発光素子40が当該共通給電線comを中心に線対称に配置され、これらの素子と各配線層との電氣的な接続を容易なものにしてある。

【0026】このように、本形態では、1本の共通給電線comで2列分の画素を駆動するので、1列の画素群ごとに共通給電線comを形成する場合と比較して、共通給電線comの数が1/2で済むとともに、同一の層間に形成される共通給電線comとデータ線sigとの間に確保していた隙間が不要である。それ故、透明基板10上において配線のための領域を狭くすることができるので、その分、各画素領域における発光面積の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0027】なお、このように1本の共通給電線comに2列分の画素が接続する構成としたため、データ線sigは2本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。

【0028】（画素の構成）このように構成した表示装置1の各画素7の構造を図3ないし図6（A）を参照して詳述する。

【0029】図3は、本形態の表示装置1に形成されている複数の画素7のうちの3つの画素7を拡大して示す

平面図、図4、図5、および図6（A）はそれぞれは、そのA-A'線における断面図、B-B'線における断面図、およびC-C'線における断面図である。

【0030】まず、図3におけるA-A'線に相当する位置では、図4に示すように、透明基板10上には各画素7の各々に、第1のTFT20を形成するための島状のシリコン膜200が形成され、その表面にはゲート絶縁膜50が形成されている。また、ゲート絶縁膜50の表面にはゲート電極21（走査線gateの一部）が形成され、該ゲート電極21に対して自己整合的にソース・ドレイン領域22、23が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール61、62を介して、ソース・ドレイン領域22、23にはデータ線sig、および電位保持電極stがそれぞれ電氣的に接続している。

【0031】各画素7には走査線gateと並列するように、走査線gateやゲート電極21と同一の層間（ゲート絶縁膜50と第1の層間絶縁膜51との間）には容量線clineが形成されており、この容量線clineに対しては、第1の層間絶縁膜51を介して電位保持電極stの延設部分st1が重なっている。このため、容量線clineと電位保持電極stの延設部分st1とは、第1の層間絶縁膜51を誘電体膜とする保持容量capを構成している。なお、電位保持電極stおよびデータ線sigの表面側には第2の層間絶縁膜52が形成されている。

【0032】図3におけるB-B'線に相当する位置では、図5に示すように、透明基板10上に形成された第1の層間絶縁膜51および第2の層間絶縁膜52の表面に各画素7に対応するデータ線sigが2本、並列している状態にある。

【0033】図3におけるC-C'線に相当する位置では、図6（A）に示すように、透明基板10上には共通給電線comを挟む2つの画素7に跨がるように、第2のTFT30を形成するための島状のシリコン膜300が形成され、その表面にはゲート絶縁膜50が形成されている。ゲート絶縁膜50の表面には、共通給電線comを挟むように、各画素7の各々にゲート電極31がそれぞれ形成され、このゲート電極31に自己整合的にソース・ドレイン領域32、33が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール63を介して、ソース・ドレイン領域62に中継電極35が電氣的に接続している。一方、シリコン膜300の中央部分で2つの画素7において共通のソース・ドレイン領域33となる部分に対しては、第1の層間絶縁膜51のコンタクトホール64を介して、共通給電線comが電氣的に接続している。これらの共通給電線com、および中継電極35の表面側には第2の層間絶縁膜52が

形成されている。第2の層間絶縁膜52の表面側にはITO膜からなる画素電極41が形成されている。この画素電極41は、第2の層間絶縁膜52に形成されたコンタクトホール65を介して中継電極35に電氣的に接続し、この中継電極35を介して第2のTFT30のソース・ドレイン領域32に電氣的に接続している。

【0034】ここで、画素電極41は発光素子40の一方の電極を構成している。すなわち、画素電極41の表面には正孔注入層42および有機半導体膜43が積層され、さらに有機半導体膜43の表面には、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極opが形成されている。この対向電極opは、少なくとも画素領域上に、あるいはストライプ状に形成された共通の電極であり、一定の電位に保持されている。

【0035】このように構成された発光素子40では、対向電極opおよび画素電極41をそれぞれ正極および負極として電圧が印加され、図7に示すように、印加電圧がしきい値電圧を越えた領域で有機半導体膜43に流れる電流（駆動電流）が急激に増大する。その結果、発光素子40は、エレクトロルミネッセンス素子あるいはLED素子として発光し、発光素子40の光は、対向電極opに反射され、透明な画素電極41および透明基板10を透過して出射される。

【0036】このような発光を行うための駆動電流は、対向電極op、有機半導体膜43、正孔注入層42、画素電極41、第2のTFT30、および共通給電線comから構成される電流経路を流れるため、第2のTFT30がオフ状態になると、流れなくなる。本形態の表示装置1では、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。従って、第2のTFT30のゲート電極は、第1のTFT20がオフ状態になっても、保持容量capによって画像信号に相当する電位に保持されるので、第2のTFT30はオン状態のままである。それ故、発光素子40には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量capに書き込まれて、第2のTFT30はオフ状態になるまで維持される。

【0037】（表示装置の製造方法）このように構成した表示装置1の製造方法において、透明基板10上に第1のTFT20および第2のTFT30を製造するまでの工程は、液晶表示装置1のアクティブマトリクス基板を製造する工程と略同様であるため、図8を参照してその概要を説明する。

【0038】図8は、表示装置1の各構成部分を形成していく過程を模式的に示す工程断面図である。

【0039】すなわち、図8（A）に示すように、透明基板10に対して、必要に応じて、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズ

マCVD法により厚さが約2000～5000オングストロームのシリコン酸化膜からなる下地保護膜（図示せず。）を形成する。次に基板の温度を約350℃に設定して、下地保護膜の表面にプラズマCVD法により厚さが約300～700オングストロームのアモルファスのシリコン膜からなる半導体膜100を形成する。次にアモルファスのシリコン膜からなる半導体膜100に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜100をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビーム形状の長さが400mmのラインビームを用い、その出力強度はたとえば200mJ/cm²である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

【0040】次に、図8（B）に示すように、半導体膜100をパターンニングして島状の半導体膜200、300とし、その表面に対して、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約600～1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜50を形成する。

【0041】次に、図8（C）に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターンニングし、走査線gateの一部としてのゲート電極21、31を形成する。この工程では容量線clineも形成する。なお、図中、310はゲート電極31の延設部分である。

【0042】この状態で高濃度のリンイオンまたはボロンイオンを打ち込んで、シリコン薄膜200、300にはゲート電極21、31に対して自己整合的にソース・ドレイン領域22、23、32、33を形成する。なお、不純物が導入されなかった部分がチャネル領域27、37となる。

【0043】次に、図8（D）に示すように、第1の層間絶縁膜51を形成した後、コンタクトホール61、62、63、64、69を形成し、データ線sig、容量線clineおよびゲート電極31の延設部分310に重なる延設部分st1を備える電位保持電極st、共通給電線com、および中継電極35を形成する。その結果、電位保持電極stはコンタクトホール69および延設部分310を介してゲート電極31に電氣的に接続する。このようにして第1のTFT20および第2のTFT30を形成する。また、容量線clineと電位保持電極stの延設部分st1とによって保持容量capが形成される。

【0044】次に、図8（E）に示すように、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール65を形成す

10

20

30

40

50

る。次に、第2の層間絶縁膜52の表面全体にITO膜を形成した後、パターニングし、コンタクトホール65を介して第2のTFT30のソース・ドレイン領域32に電氣的に接続する画素電極41を形成する。

【0045】次に、図8(F)に示すように、第2の層間絶縁膜52の表面側に黒色のレジスト層を形成した後、このレジストを発光素子40の正孔注入層42および有機半導体膜43を形成すべき領域を囲むように残し、バンク層bankを形成する。ここで、有機半導体膜43は、各画素毎に独立して形成される場合、データ線sigに沿ってストライプ状に形成される場合などのいずれの形状であっても、それに対応する形状にバンク層bankを形成するだけで、本形態に係る製造方法を適用できる。

【0046】次に、バンク層bankの内側領域に対してインクジェットヘッドIJから、正孔注入層42を構成するための液状の材料（前駆体）を吐出し、バンク層bankの内側領域に正孔注入層42を形成する。同様に、バンク層bankの内側領域に対してインクジェットヘッドIJから、有機半導体膜43を構成するための液状の材料（前駆体）を吐出し、バンク層bankの内側領域に有機半導体膜43を形成する。ここで、バンク層bankはレジストから構成されているため、撥水性である。これに対して、有機半導体膜43の前駆体は主に親水性の溶媒を用いているため、有機半導体膜43の塗布領域はバンク層bankによって確実に規定され、隣接する画素にはみ出ることがない。

【0047】このようにして有機半導体膜43や正孔注入層42をインクジェット法により形成する場合には、その作業効率や射出位置精度を高めるために、本形態では、図3に示すように、走査線gateの延設方向に沿って隣接するいずれの画素7間でも、前記有機半導体膜43の形成領域の中心のピッチPを等しくしてある。従って、矢印Qで示すように、走査線gateの延設方向に沿って等間隔の位置にインクジェットヘッドIJから有機半導体膜43の材料などを吐出すればよいので、作業効率がよいという利点がある。また、インクジェットヘッドIJの移動制御機構が簡易になるとともに、打ち込み位置精度も向上する。

【0048】しかる後には、図8(G)に示すように、透明基板10の表面側に対向電極opを形成する。ここで、対向電極opは少なくとも画素領域の全面、またはストライプ状に形成されるが、対向電極opをストライプ状に形成する場合には、透明基板10の表面全体に金属膜を形成した後、それをストライプ状にパターニングする。

【0049】なお、バンク層bankについては、それが黒色のレジストから構成されているので、そのまま残し、以下に説明するように、ブラックマトリクスBM、および寄生容量を低減するための絶縁層として利用す

る。

【0050】図1に示すデータ側駆動回路3や走査側駆動回路4にもTFTが形成されるが、これらのTFTは前記の画素7にTFTを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するTFTも、画素7のTFTと同一の層間に形成されることになる。

【0051】また、前記第1のTFT20、および第2のTFT30については、双方がN型、双方がP型、一方がN型で他方がP型のいずれでもよいが、このようないずれの組合せであっても、周知の方法でTFTを形成していけるので、その説明を省略する。

【0052】（バンク層の形成領域）本形態では、図1に示す透明基板10の周辺領域の総てに対して、前記のバンク層bank（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路2、3に容量が寄生することを防止できるので、駆動回路2、3の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0053】また、本形態では、図3ないし図5に示すように、データ線sigに重なるようにバンク層bankを形成してある。従って、データ線sigと対向電極opとの間にバンク層bankが介在することになるので、データ線sigに容量が寄生することを防止できる。その結果、データ側駆動回路3の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0054】ここで、共通給電線comには、データ線sigと違って、発光素子40を駆動するための大きな電流が流れ、しかも、2列分の画素に対して駆動電流を供給する。このため、共通給電線comについては、その線幅をデータ線sigの線幅よりも広く設定し、共通給電線comの単位長さ当たりの抵抗値を、データ線sigの単位長さ当たりの抵抗値よりも小さくしてある。そのような設計条件下でも、本形態では、共通給電線comにも重なるようにバンク層bankを形成して有機半導体膜43の形成領域を規定する際にここに形成するバンク層bankの幅を、2本のデータ線sigに重なるバンク層bankと同一の幅寸法とすることにより、前記のように、走査線gateの延設方向に沿って隣接するいずれの画素7の間でも有機半導体膜43の形成領域の中心のピッチPを等しくするのに適した構造になる。

【0055】さらに、本形態では、図3、図4、および図6(A)に示すように、画素電極41の形成領域のう

ち、第1のTFT20の形成領域および第2のTFT30の形成領域と重なる領域にもバンク層bankを形成する。すなわち、図6(B)に示すように、中継電極35と重なる領域にバンク層bankを形成しないと、たとえ対向電極opとの間に駆動電流が流れて有機半導体膜43が発光しても、この光は中継電極35と対向電極opとに挟まれて出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、このような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れることを防止するので、共通給電線comに無駄な電流が流れることが防止できる。それ故、共通給電線comの幅はその分狭くてよい。

【0056】また、前記のように黒色のレジストで構成したバンク層bankを残しておく、バンク層bankはブラックマトリクスとして機能し、輝度、コントラスト比などの表示の品位が向上する。すなわち、本形態に係る表示装置1では、対向電極opが透明基板10の表面側の全面、あるいは広い領域にわたってストライプ状に形成されるため、対向電極opでの反射光がコントラスト比を低下させる。しかるに本形態では、有機半導体膜43の形成領域を規定しながら寄生容量を抑える機能を有するバンク層bankを黒色のレジストで構成したため、バンク層bankはブラックマトリクスとしても機能し、対向電極opからの反射光を遮るので、コントラスト比が高いという利点がある。また、バンク層bankを利用して自己整合的に発光領域を規定することができるので、バンク層bankをブラックマトリクスとして用いずに別の金属層などをブラックマトリクスとして用いたときに問題となる発光領域とのアライメント余裕が不要である。

【0057】[上記形態の改良例] 上記形態では、共通給電線comの両側のそれぞれに、該共通給電線comとの間で駆動電流が流れる画素7が配置され、該画素7に対して前記共通給電線comとは反対側を2本のデータ線sigが並列して通っている。従って、2本のデータ線sigの間でクロストークが発生するおそれがある。そこで、本形態では、図9、図10(A)、(B)に示すように、2本のデータ線sigの間に相当する位置にダミーの配線層DAを形成してある。このダミーの配線層DAとしては、たとえば、画素電極41と同時に形成されたITO膜DA1を利用することができる。また、ダミーの配線層DAとしては、2本のデータ線sigの間に容量線clineからの延設部分DA2を構成してもよい。これらの双方をダミーの配線層DAとして用いてもよい。

【0058】このように構成すると、並列する2本のデータ線sigの間にはそれらとは別の配線層DAが通っている、このような配線層DA(DA1、DA2)

を画像の少なくとも1水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。すなわち、第1の層間絶縁膜51および第2の層間絶縁膜52は、膜厚が凡そ1μmであるのに対して、2本のデータ線sig2本の間隔は約2μm以上であるため、各データ線sigとダミーの配線層DA(DA1、DA2)との間に構成される容量に比較して、2本のデータ線sigに間に構成される容量は十分に無視できるほど小さい。それ故、データ線sigから漏れた高周波数の信号はダミーの配線層DA及びDA2で吸収されるので、2本のデータ線sigの間でのクロストークを防止できる。

【0059】また、複数のデータ線sigのうち、隣接する2本のデータ線sigの間では、画像信号のサンプリングを同一のタイミングで行うことが好ましい。このように構成すると、2本のデータ線sigの間でサンプリング時の電位変化が同時に起きるので、これら2本のデータ線sigの間におけるクロストークをより確実に防止できる。

20 【0060】[保持容量の別の構成例] なお、上記形態では、保持容量capを構成するのに容量線clineを形成したが、従来技術で説明したように、TFTを構成するためのポリシリコン膜を利用して保持容量capを構成してもよい。

【0061】また、図11に示すように、共通給電線comと電位保持電極stとの間に保持容量capを構成してもよい。この場合には、図12(A)、(B)に示すように、電位保持電極stとゲート電極31とを電気的に接続させるためのゲート電極31の延設部分310を共通給電線comの下層側にまで拡張し、この延設部分310と共通給電線comとの間に位置する第1の層間絶縁膜51を誘電体膜として保持容量capを構成すればよい。

【0062】[実施の形態2] 上記の実施の形態1では、いずれの画素7においても同一の極性の駆動電流で発光素子40を駆動する構成であったが、以下に説明するように、同一の共通給電線comとの間で駆動電流の通電が行われる複数の画素7には、極性が反転した駆動電流により発光素子40の駆動が行われる2種類の画素7が同数、含まれているように構成してもよい。

【0063】このような構成例を、図13ないし図17を参照して説明する。図13は、極性の反転した駆動電流で発光素子40が駆動される2種類の画素を構成した形態のブロック図である。図14および図15はそれぞれ、極性の反転した駆動電流で発光素子40を駆動する際の走査信号、画像信号、共通給電線の電位、および電位保持電極の電位の説明図である。

【0064】本形態および後述する形態のいずれにおいても、図13に示すように、極性の反転した駆動電流iで発光素子40を駆動するにあたって、矢印Eで示すよ

うに共通給電線comから駆動電流が流れる画素7Aでは、第1のTFT20をnチャネル型で構成し、矢印Fで示すように共通給電線comに向けて駆動電流が流れる画素7Bでは、第1のTFT20をpチャネル型で構成してある。このため、これらの2種類の画素7A、7Bのそれぞれに走査線gateA、gateBを構成する。また、本形態では、画素7Aの第2のTFT30をpチャネル型で構成する一方、画素7Bの第2のTFT30をnチャネル型で構成し、いずれの画素7A、7Bにおいても、第1のTFT20と第2のTFT30とを逆導電型にしてある。従って、画素7Aに対応するデータ線sigAと、画素7Bに対応するデータ線sigBとを介してそれぞれ供給される画像信号についても、後述するように、その極性を反転させてある。

【0065】さらに、各画素7A、7Bでは、極性の反転した駆動電流iで発光素子40をそれぞれ駆動することから、後述するように、対向電極opの電位についても、共通給電線comの電位を基準としたときに逆極性となるように構成する必要がある。従って、対向電極opについては、極性が同一の駆動電流iが流れる画素7A、7B同士を接続するように構成し、それぞれに所定の電位を印加することになる。

【0066】それ故、図14および図15のそれぞれには、画素7A、7Bに対して、走査線gateA、gateBを介して供給される走査信号の波形、データ線sigA、sigBを介して供給される画像信号の波形、対向電極opの電位、および電位保持電極stA、stBの電位を、共通給電線comの電位を基準に表してあるように、画素7A、7Bの間において、各信号は、点灯期間および消灯期間のいずれにおいても逆極性となるように設定されている。

【0067】また、図16(A)、(B)に示すように、各画素7A、7Bには、異なる構造の発光素子40A、40Bが構成される。すなわち、画素7Aに形成される発光素子40Aは、下層側から上層側に向かって、ITO膜からなる画素電極41、正孔注入層42、有機半導体膜43、対向電極opAがこの順に積層されている。これに対して、画素7Bに形成される発光素子40Bは、下層側から上層側に向かって、ITO膜からなる画素電極41、透光性をもつほど薄いリチウム含有アルミニウム電極45、有機半導体層42、正孔注入層42、ITO膜層46、対向電極opBがこの順に積層されている。従って、発光素子40A、40Bの間では、それぞれ逆極性の駆動電流が流れるといっても、正孔注入層42および有機半導体層42が直接、接する電極層の構成が同一であるため、発光素子40A、40Bの発光特性は同等である。

【0068】このような2種類の発光素子40A、40Bを形成するにあたって、双方の有機半導体膜43および正孔注入層42はいずれも、インクジェット法により

バンク層bankの内側に形成するので、上下位置が反対でも製造工程が複雑になることはない。また、発光素子40Bでは、発光素子40Aに比較して、透光性をもつほど薄いリチウム含有アルミニウム電極45、およびITO膜層46を追加することになるが、それでも、リチウム含有アルミニウム電極45は画素電極41と同じ領域で積層している構造になっていても表示に支障がなく、ITO膜層46も対向電極opBと同じ領域で積層している構造になっていても表示に支障がない。それ故、リチウム含有アルミニウム電極45と画素電極41とはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。同様に、ITO膜層46と対向電極opBとはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。リチウム含有アルミニウム電極45およびITO膜層46はバンク層bankの内側領域のみに形成してもよいことは勿論である。

【0069】このようにして各画素7A、7Bにおいて極性の反転した駆動電流で発光素子40A、40Bを駆動できるようにした上で、前記の2種類の画素7A、7Bを図17に示すように配置してある。この図において、符合(−)が付されている画素は、図13、図14、図16で説明した画素7Aに相当し、符合(+)が付されている画素は、図13、図15、図16で説明した画素7Bに相当する。なお、図17には、走査線gateA、gate、およびデータ線sigA、sigBの図示を省略してある。

【0070】図17に示すように、本形態では、データ線sigA、sigBの延設方向では各画素における駆動電流の極性が同一で、走査線gateA、gateBの延設方向では各画素における駆動電流の極性が1画素毎に反転している。なお、各画素に対応する対向電極opA、opBの形成領域をそれぞれ一点鎖線で示すように、いずれの対向電極opA、opBも、極性が同一の駆動電流が流れる画素7A、7B同士を接続するように構成してある。すなわち、対向電極opA、opBは、データ線sigA、sigBの延設方向に沿ってストライプ状に別々に形成され、対向電極opA、opBのそれぞれには、共通給電線comの電位を基準としたときに負の電位、および正の電位が印加される。

【0071】従って、各画素7A、7Bと共通給電線comとの間には、それぞれ図13に矢印E、Fに示す向きの駆動電流iが流れることになる。このため、共通給電線comを実質的に流れる電流は、極性の異なる駆動電流iの間で相殺されるので、共通給電線comに流れる駆動電流が小さくて済む。従って、共通給電線comをその分、細くすることができるので、画素7A、7Bにおいて画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0072】〔実施の形態3〕なお、同一の共通給電線comとの間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図18に示すように配置してもよい。なお、本形態では、各画素7A、7Bの構成などが実施の形態2と同様であるため、その説明を省略し、図18、および以下に説明する各形態を説明するための図19ないし図21には、図13、図14、図16で説明した画素7Aに相当する画素を符合(一)で表し、図13、図15、図16で説明した画素7Bに相当する画素を符合(+)で表してある。

【0073】図18に示すように、本形態では、データ線sigA、sigBの延設方向では各画素7A、7Bにおける駆動電流の極性が同一で、走査線gateA、gateBの延設方向では各画素7A、7Bにおける駆動電流の極性が2画素毎に反転するように構成されている。

【0074】このように構成した場合にも、各画素7A、7Bと共通給電線comとの間には、それぞれ図13に矢印E、Fに示す向きの駆動電流iが流れることになる。このため、共通給電線comを流れる電流は、極性の異なる駆動電流iの間で相殺されるので、共通給電線comに流れる駆動電流が小さくて済む。従って、共通給電線comをその分、細くすることができるので、画素領域の画素7A、7Bにおいて画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。それに加えて、本形態では、走査線gateA、gateBの延設方向において駆動電流の極性が2画素毎に反転しているため、同じ極性の駆動電流で駆動される画素同士であれば、隣接し合う2列の画素に対して共通の対向電極opA、opBをストライプ状に形成すればよい。それ故、対向電極opA、opBのストライプ数を1/2に減らすことができる。また、1画素毎のストライプに比して、対向電極opA、opBの抵抗を小さくできることから、対向電極opA、opBの電圧降下の影響を軽減することができる。

【0075】〔実施の形態4〕また、同一の共通給電線comとの間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図19に示すように配置してもよい。

【0076】図19に示すように、本形態では、走査線gateA、gateBの延設方向では各画素7A、7Bにおける駆動電流の極性が同一で、データ線sigA、sigBの延設方向では各画素7A、7Bにおける駆動電流の極性が1画素毎に反転するように構成されている。

【0077】このように構成した場合にも、実施の形態2または3と同様、共通給電線comを流れる電流は、極性の異なる駆動電流の間で相殺されるので、共通給電線comに流れる駆動電流が小さくて済む。従って、共

通給電線comをその分、細くすることができるので、画素7A、7Bにおいて画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0078】〔実施の形態5〕また、同一の共通給電線comとの間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図20に示すように配置してもよい。

【0079】図20に示すように、本形態では、走査線gateA、gateBの延設方向では各画素7A、7Bにおける駆動電流の極性が同一で、データ線sigA、sigBの延設方向では各画素7A、7Bにおける駆動電流の極性が2画素毎に反転するように構成されている。

【0080】このように構成した場合には、実施の形態3と同様、共通給電線comを流れる電流は、極性の異なる駆動電流の間で相殺されるので、共通給電線comに流れる駆動電流が小さくて済む。従って、共通給電線comをその分、細くすることができるので、画素7A、7Bにおいて画素領域の発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。それに加えて、本形態では、データ線sigA、sigBの延設方向において駆動電流の極性が2画素毎に反転しているため、同じ極性の駆動電流で駆動される画素同士であれば、隣接し合う2列の画素に対して共通の対向電極opA、opBをストライプ状に形成すればよい。それ故、対向電極opA、opBのストライプ数を1/2に減らすことができる。また、1画素毎のストライプに比して、対向電極opA、opBの抵抗を小さくできることから、対向電極opA、opBの電圧降下の影響を軽減することができる。

【0081】〔実施の形態6〕また、同一の共通給電線comとの間で駆動電流が逆の極性で流れるように画素を配置するという観点からすれば、各画素を図21に示すように配置してもよい。

【0082】図21に示すように、本形態では、走査線gateA、gateBの延設方向およびデータ線sigA、sigBの延設方向のいずれの方向でも、各画素7A、7Bにおける駆動電流の極性が1画素毎に反転するように構成されている。

【0083】このように構成した場合にも、実施の形態2ないし4と同様、共通給電線comを流れる電流は、極性の異なる駆動電流の間で相殺されるので、共通給電線comに流れる駆動電流が小さくて済む。従って、共通給電線comをその分、細くすることができるので、画素7A、7Bにおいて発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0084】このように画素7A、7Bを配置すると、ストライプ状の対向電極opA、opBでは対応できな

いが、それでも、各画素 7A、7B 毎に対向電極 opA 、 opB を形成するとともに、各対向電極 opA 、 opB 同士を配線層で配線接続する構成とすればよい。

【0085】

【発明の効果】以上説明したように、本発明に係る表示装置では、共通給電線の両側に該共通給電線との間で駆動電流の通電が行われる画素が配置されているため、2 列分の画素に対して 1 本の共通給電線で済む。それ故、1 列の画素群ごとに共通給電線を形成する場合と比較して共通給電線の形成領域を狭めることができるため、その分、画素において発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0086】また、同一の前記共通給電線との間で前記駆動電流の通電が行われる複数の画素に、極性が反転した駆動電流により前記発光素子の駆動が行われる 2 種類の画素が含まれている場合には、1 本の共通給電線において、共通給電線から発光素子に流れる駆動電流と、それとは逆向きに発光素子から共通給電線に流れる駆動電流とが相殺されるので、共通給電線に流れる駆動電流が小さく済む。従って、共通給電線をその分、細くすることができるので、画素において発光領域の割合を高めることができ、輝度、コントラスト比などの表示性能を向上させることができる。

【図面の簡単な説明】

【図 1】本発明を適用した表示装置、およびそれに形成したバンク層の形成領域を模式的に示す説明図である。

【図 2】本発明を適用した表示装置の基本的な構成を示すブロック図である。

【図 3】本発明の実施の形態 1 に係る表示装置の画素を拡大して示す平面図である。

【図 4】図 3 の A-A' 線における断面図である。

【図 5】図 3 の B-B' 線における断面図である。

【図 6】(A) は図 3 の C-C' 線における断面図、(B) はバンク層の形成領域を中継電極を覆うまで拡張しない構造の断面図である。

【図 7】図 1 に示す表示装置に用いた発光素子の I-V 特性を示すグラフである。

【図 8】本発明を適用した表示装置の製造方法を示す工程断面図である。

【図 9】図 1 に示す表示装置の改良例を示すブロック図である。

【図 10】(A) は、図 9 に示す表示装置に形成したダミーの配線層を示す断面図、(B) はその平面図である。

【図 11】図 3 に示す表示装置の変形例を示すブロック図である。

【図 12】(A) は、図 11 に示す表示装置に形成した画素を拡大して示す平面図、(B) はその断面図である。

【図 13】本発明の実施の形態 2 に係る表示装置に構成した駆動電流が反転した 2 つの画素の構成を示す等価回路図である。

【図 14】図 13 に示す 2 つの画素のうちの一方の画素を駆動するための各信号の波形図である。

【図 15】図 13 に示す 2 つの画素のうちの他方の画素を駆動するための各信号の波形図である。

【図 16】図 13 に示す 2 つの画素に構成される発光素子の構成を示す断面図である。

【図 17】図 13 に示す表示装置における画素の配置を示す説明図である。

【図 18】本発明の実施の形態 3 に係る表示装置における画素の配置を示す説明図である。

【図 19】本発明の実施の形態 4 に係る表示装置における画素の配置を示す説明図である。

【図 20】本発明の実施の形態 5 に係る表示装置における画素の配置を示す説明図である。

【図 21】本発明の実施の形態 6 に係る表示装置における画素の配置を示す説明図である。

【図 22】従来の表示装置のブロック図である。

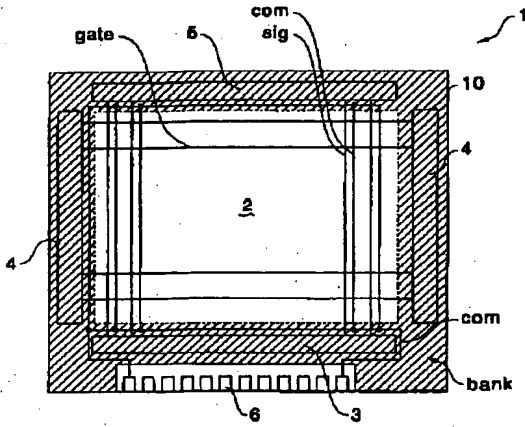
【図 23】(A) は、図 22 に示す表示装置に形成した画素を拡大して示す平面図、(B) はその断面図である。

【符号の説明】

1	表示装置
2	表示部
3	データ側駆動回路
4	走査側駆動回路
5	検査回路
6	実装用パッド
7、7A、7B	画素
10	透明基板
20	第 1 の TFT
21	第 1 の TFT のゲート電極
30	第 2 の TFT
31	第 2 の TFT のゲート電極
40、40A、40B	発光素子
41	画素電極
42	正孔注入層
43	有機半導体膜
45	薄いリチウム含有アルミニウム電極
46	ITO 膜層
50	ゲート絶縁膜
51	第 1 の層間絶縁膜
52	第 2 の層間絶縁膜
DA	ダミーの配線層
bank	バンク層
cap	保持容量
cline	容量線
com	共通給電線

21
gate、gateA、gateB 走査線
op、opA、opB 対向電極

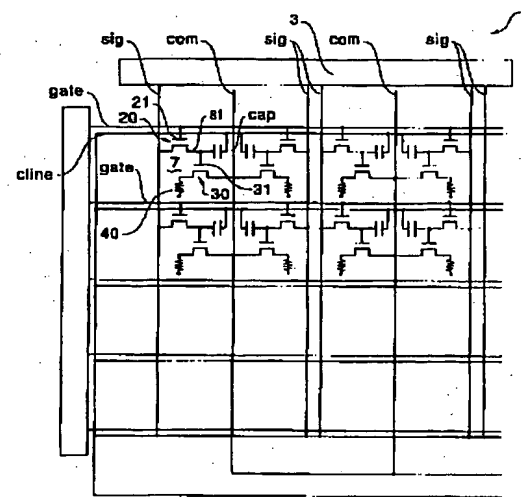
【図 1】



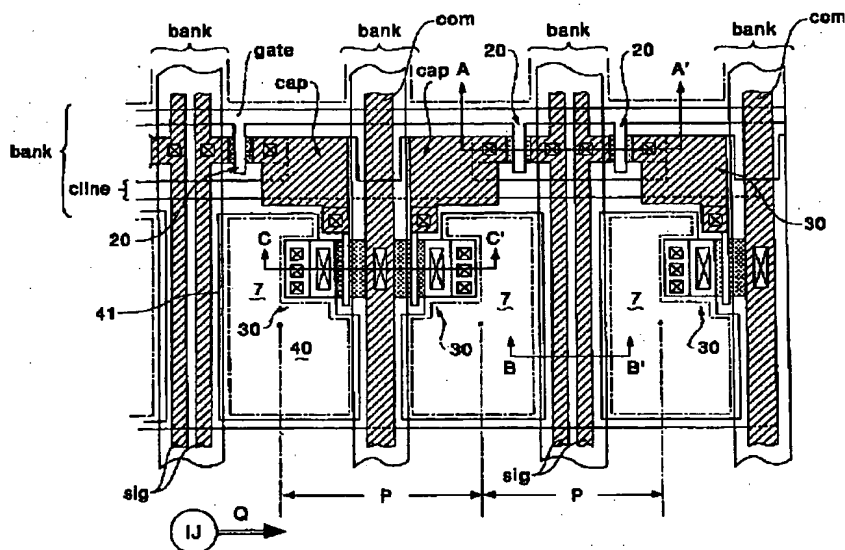
22

sig、sigA、sigB	データ線
st、stA、stB	電位保持電極

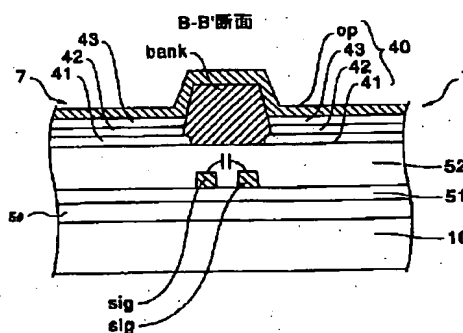
【図 2】



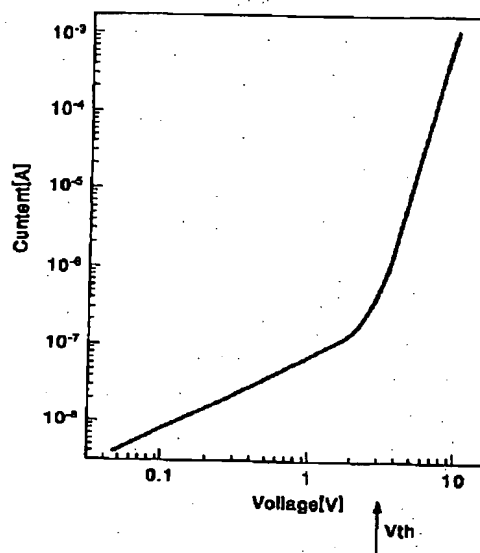
【図 3】



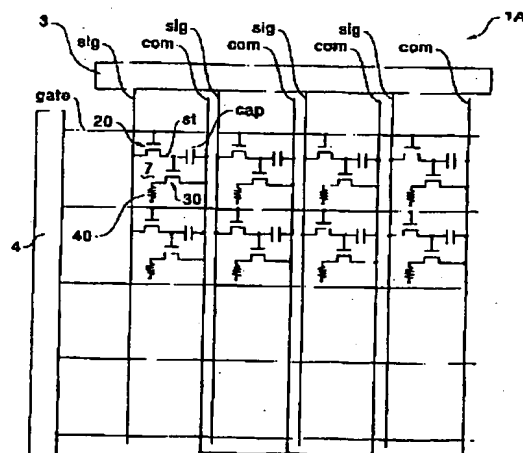
【図5】



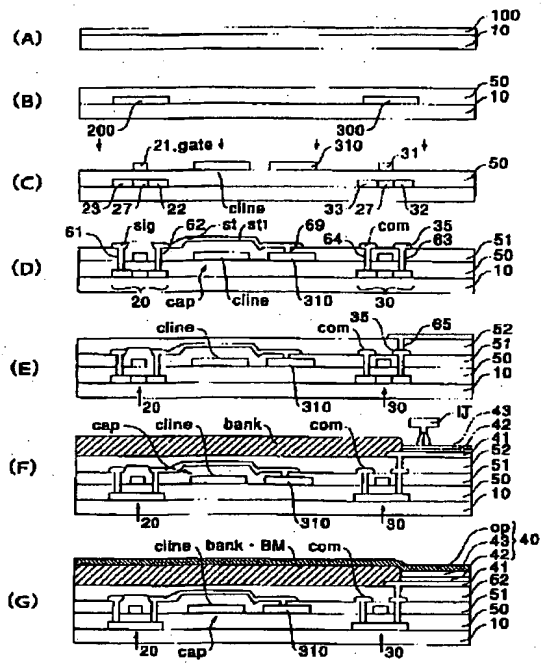
【図7】



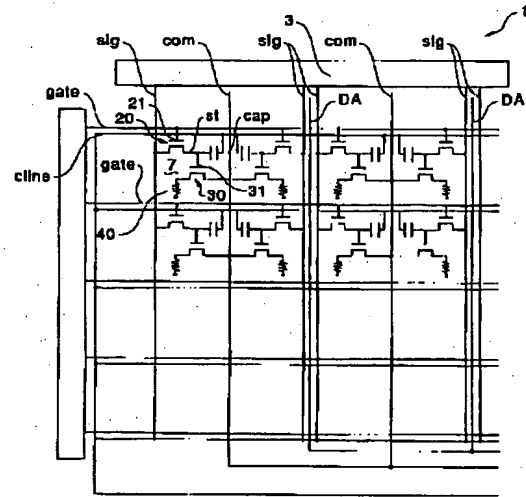
【图 2 2】



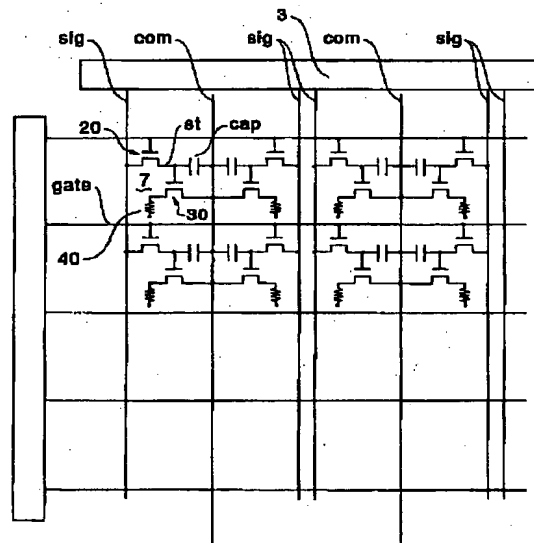
【図 8】



【図 9】

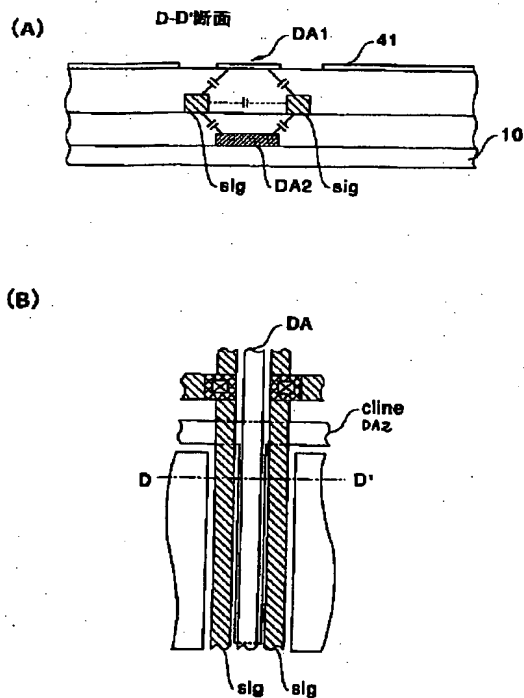


【図 11】

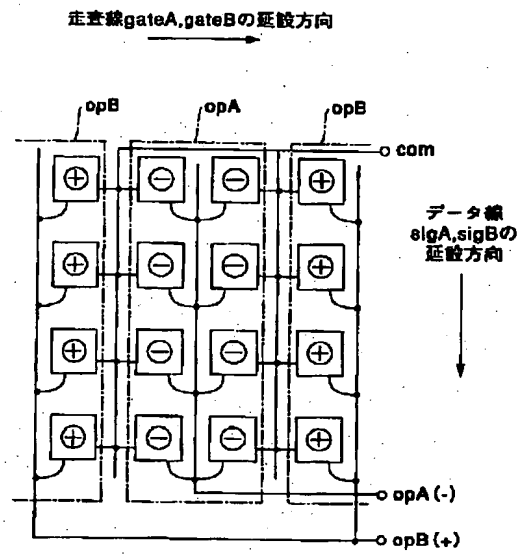


【図 10】

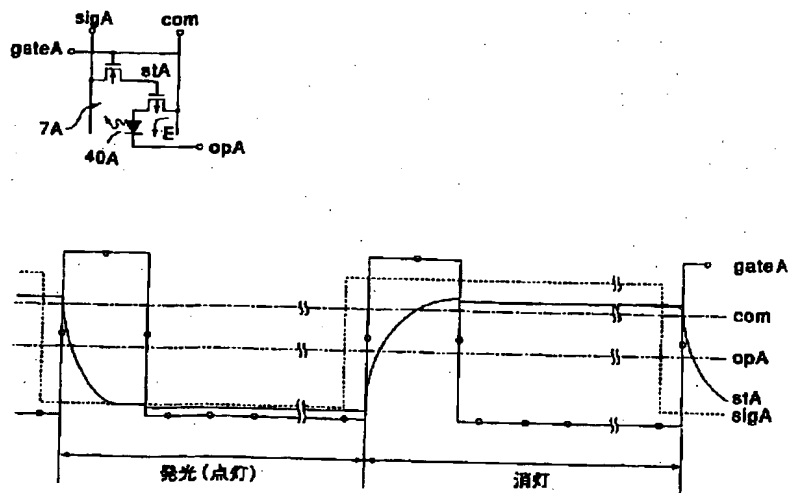
図10



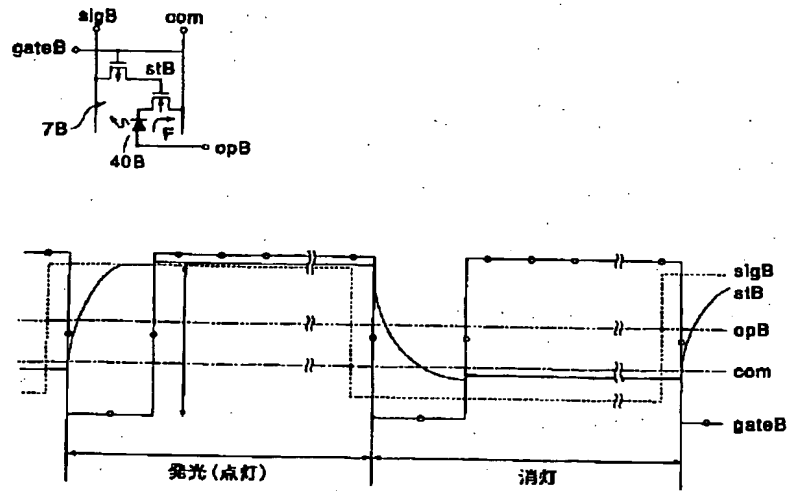
【图 16】



【图 14】

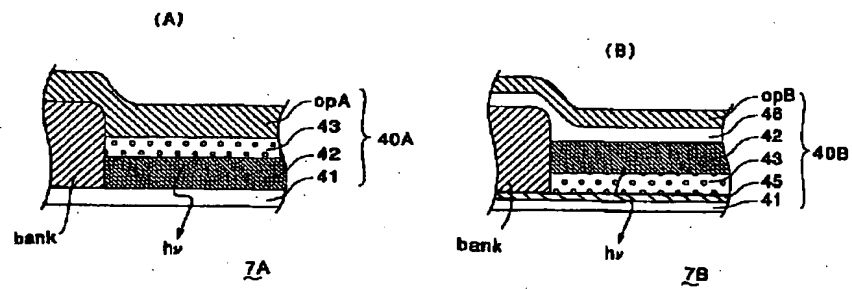


【図 15】

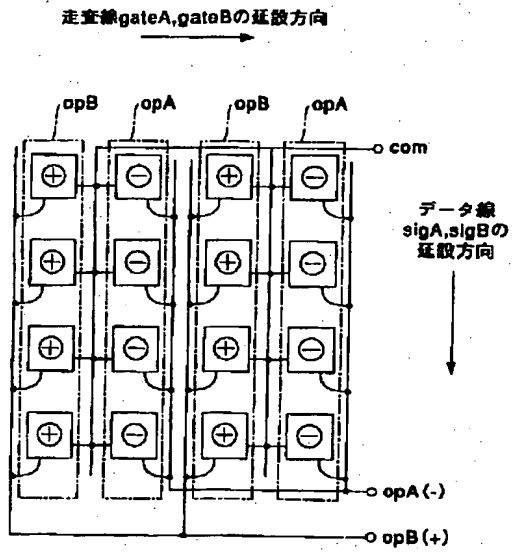


【図 17】

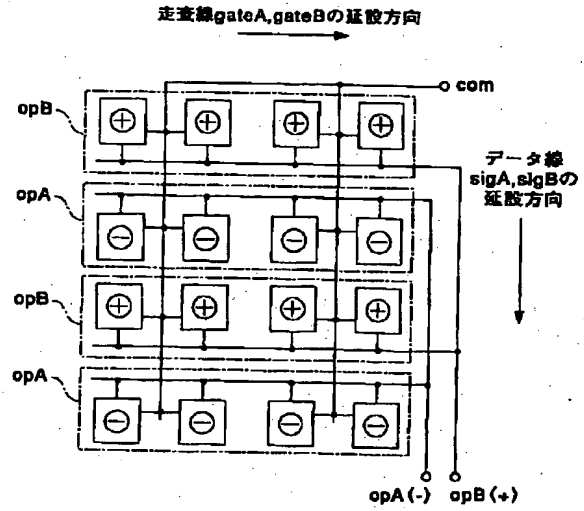
116



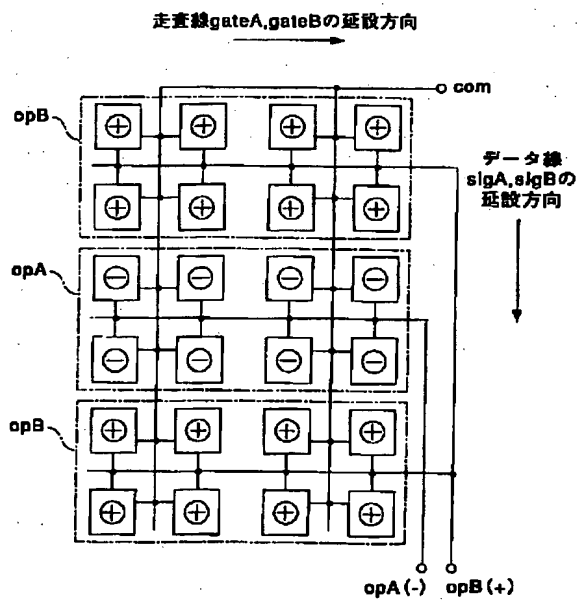
【図 18】



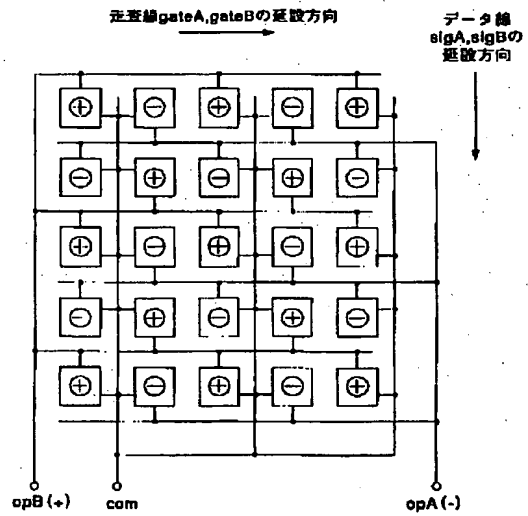
【図 19】



【図 20】

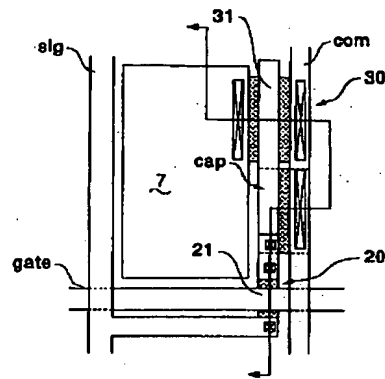


【図 21】

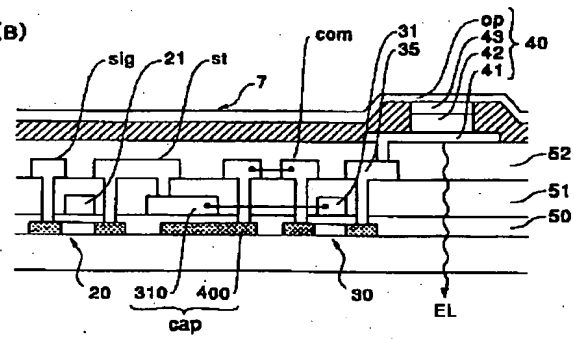


【図 2 3】

(A)



(B)



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-024606

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

G09F 9/30

G09G 3/30

H05B 33/26

(21)Application number : 09-177455

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 02.07.1997

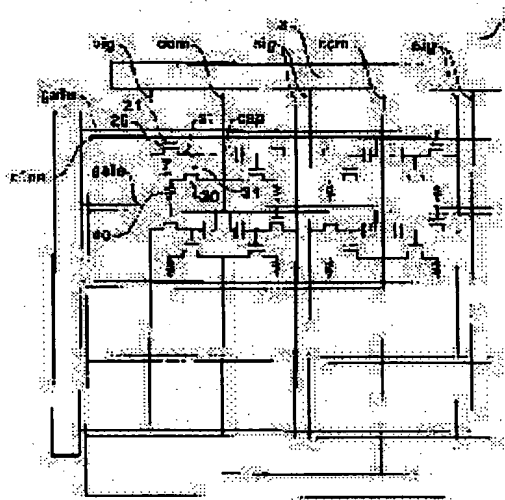
(72)Inventor : OZAWA NORIO

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a layout of picture elements composed on a substrate and a common feeder and to extend a luminescent field of the picture elements, and to thereby improve a display quality, by arranging on both sides of the common feeder, the picture elements to which a driving current is turned on from the common feeder, and also by passing data lines on the opposite side of the common feeder.

SOLUTION: Plural picture elements 7, to which a driving current is supplied from a common feeder com, are installed on both sides of the common feeder com, and two data lines sig are passed on the opposite side of the common feeder com against these picture elements 7. Namely, a data line sig, a group of picture elements connected therewith, one common feeder com, a group of picture elements connected therewith, and a data line sig supplying signals of picture elements to the group of picture elements, are regarded as a single unit, and are installed repeatedly in its elongating direction of a scanning line gate, and also one common feeder com supplies a driving current to picture elements 7 in two rows, respectively. Therefore, the number of common feeders can be saved to a half, compared with the case that a common feeder is formed per every group of picture elements in one row.



LEGAL STATUS

[Date of request for examination]

28.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office